

用于 GEM-TPC 探测器读出芯片的 10 bit 20 MSPS SAR ADC 设计



孙志坤^{1,2,3}, 千奕^{1,2,3*}, 杨鸣宇^{1,3}, 余乾顺^{1,2,3}, 赵红赟^{1,2,3}, 蒲天磊^{1,2,3},
陆伟建^{1,3}, 刘政强^{1,3}, 张家瑞^{1,3}

(1. 中国科学院近代物理研究所, 兰州 730000; 2. 先进能源科学与技术广东省实验室, 惠州 516000;

3. 中国科学院大学核科学与技术学院, 北京 100049)

摘要 随着大面积气体电子倍增器——时间投影室探测器的不断发展, 其对读出电子学的密度和集成度要求越来越高。基于 180 nm 的 CMOS 工艺设计完成了一款 10 bit、20 MSPS 的逐次逼近寄存器型模数转换器原型芯片。利用该芯片结合模拟前端模块和数字信号处理器, 可实现全数字化的前端读出专用集成电路用于 GEM-TPC 的读出。该 ADC 主要由 DAC 模块、动态比较器模块、异步时钟生成模块和 SAR 逻辑模块构成。仿真结果表明, 输入信号频率为 1.836 MHz 时, ENOB 为 8.61 bit, 内核功耗约为 3.3 mW/Ch。

关键词 GEM-TPC; ASIC; SAR ADC; 自举开关; 动态比较器; 异步 SAR 逻辑

中图分类号 TN492 **文献标志码** A **DOI** 10.12178/1001-0548.2023204

The Design of a 10 Bit 20 MSPS SAR ADC of the Readout Chip for GEM-TPC Detector

SUN Zhikun^{1,2,3}, QIAN Yi^{1,2,3*}, YANG Mingyu^{1,3}, SHE Qianshun^{1,2,3}, ZHAO Hongyun^{1,2,3}, PU Tianlei^{1,2,3},
LU Weijian^{1,3}, LIU Zhengqiang^{1,3}, and ZHANG Jiarui^{1,3}

(1. Institute of Modern Physics, Chinese Academy of Sciences, Lanzhou 730000, China;

2. Advanced Energy Science and Technology Guangdong Laboratory, Huizhou 516000, China;

3. School of Nuclear Science and Technology, University of Chinese Academy of Sciences, Beijing 100049, China)

Abstract With the continuous development of large-area gas electron multiplier-time projection chamber detectors, the density and integration of readout electronics are increasingly required. In this paper, a 10 bit, 20 MSPS successive approximation register analog-to-digital converter prototype chip is designed and fabricated by 180 nm CMOS process. Combining the SAR ADC chip with an analog front-end module and a digital signals processor, a fully digital front-end readout application specific integrated circuit for GEM-TPC is realized. The ADC is mainly composed of the DAC module, the dynamic comparator module, the asynchronous clock generation module and the SAR logic module. Simulation results show that when the input signal frequency is 1.836 MHz, the effective number of bits is 8.61 bit, and the core power consumption is about 3.3 mW/Ch.

Key words GEM-TPC; ASIC; SAR ADC; bootstrapped switch; dynamic comparator; asynchronous SAR logic

GEM-TPC^[1] 探测器由电子气体倍增和时间投影室结合而来, 具有高精度、高计数率等优势, 能够实现对带电粒子三维径迹的测量。大面积的 GEM-TPC 探测器给读出电子学系统提出了低噪声、低功耗、高速、高集成度的要求, 而随着半导

体领域的快速发展, 高集成度的专用集成电路 ASIC 芯片成为当前解决该需求的主要发展趋势^[2]。其中具有代表性的是欧洲核子中心研制的用于 GEM-TPC 的 SAMP A^[3-4] 芯片, 该芯片集成了电荷灵敏前放、滤波成型电路、10 bit 20 MSPS ADC 和

收稿日期: 2023-08-07; 修回日期: 2023-10-04

基金项目: 国家自然科学基金 (11975293)

作者简介: 孙志坤, 博士生, 主要从事核电子学方面的研究。

*通信作者 E-mail: qianyi@impcas.ac.cn

数字信号处理模块 DSP。详细调研国内外相关领域的现有设计后,我们课题组计划基于 SAMPA 架构设计一款国产的前端数字化 ASIC 芯片,其中 ADC 是将模拟信号转化为数字信号的关键模块,它的精度和速度是制约系统精度和速度的重要因素。因为 GEM-TPC 探测器的应用场景需要 ADC 有大的动态范围和抗辐照能力,所以我们选取了具有电源电压高,抗辐照性能好的 180nm CMOS 工艺来设计整体芯片。考虑到 180 nm 工艺的工作速度限制和 ADC 的采样频率,将采用奈奎斯特型 ADC,其典型结构有 Flash 型、Pipeline 型和 SAR 型。其中 Flash 型 ADC 面积和功耗最高,适用于高速、中低精度应用; Pipeline 型 ADC 功耗介于 Flash 型和 SAR 型之间,适用于中高速、中高精度应用; SAR 型 ADC 功耗最低,适用于中低精度应用^[5]。由于前端模拟电路需要以大的功耗换取低噪声性能,所以在保证芯片整体低功耗的指标下,ADC 模块需要低功耗的设计;而且 SAR 型 ADC 主要由数字逻辑电路组成,工艺迁移性好。因此本文采用 SAR 型结构,基于 180 nm 工艺设计了一款 10 bit 20 MSPS 的 ADC 原型芯片。ADC 的精度受限于采样开关的非理想因素以及比较器噪声,为此文中采用了差分输入和底板采样的架构以消除采样开关带来的时钟馈通和电荷注入,并使用栅压自举开关解决开关的导通电阻非线性问题;针对比较器的噪声,文中采用了两级结构的动态比较器,在第一级进行信号的预放大,降低了第二级 latch 引入的噪声。考虑到 ADC 的速度受限于 SAR 逻辑的工作速度,文中采用了动态逻辑,减少了 MOS 管数目,提高了工作速度。

1 ADC 设计

1.1 TPC 探测器读出电子学系统

由于 GEM-TPC 提出的前端电子学的动态范围为 10~1 000 fC,为了达到 1 fC 的分辨,ADC 的分辨率需要 10 bit;另外,前端模块中主放输出信号的上升时间 t_r 为 160 ns,近似估计主放输出信号的最大带宽 $BW = 0.35/t_r = 2.2$ MHz,根据奈奎斯特采样定理,ADC 的采样率至少要超过被测信号(主放输出信号)带宽的 2 倍以上,同时为了在量化过程中更好地保留信号的信息,ADC 的采样频率定为 20 MHz。TPC 探测器读出电子学系统如图 1 所示。

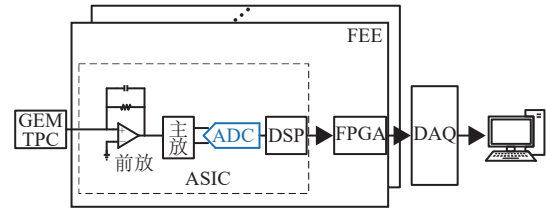


图 1 GEM-TPC 探测器读出电子学系统

1.2 ADC 整体结构

该 SAR ADC 芯片由 DAC 模块、动态比较器模块、异步时钟生成模块和 SAR 逻辑模块构成。整体结构如图 2 所示。

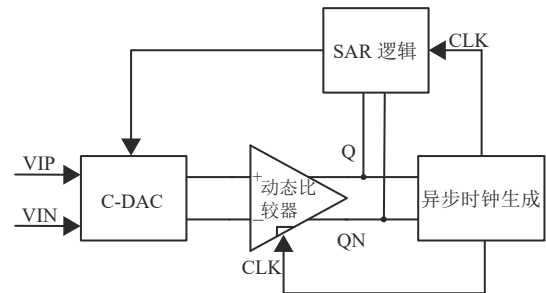


图 2 ADC 芯片架构

ADC 采用差分输入结构以减小电荷注入效应和时钟馈通效应引入的误差,同时抑制偶次谐波^[6]。DAC 模块使用二进制电容阵列构成,通过依次控制各权重电容底板电位,可以实现电容顶板电位的逐次逼近,同时该电容阵列在采样输入信号时也用作采样电容。比较器模块对 DAC 输出的差分电压进行比较并输出数字比较结果,相当于一个 1 bit 的 ADC。比较器的噪声、失调、速度和功耗会影响 ADC 相应性能,所以比较器需要高速低噪声的设计。但高速低噪声需要牺牲功耗,为了减少 ADC 整体功耗,比较器采用动态结构,通过消除静态功耗的方式削减了总功耗,同时采用异步时钟和动态逻辑电路,减少了控制逻辑中高频翻转的节点和 MOS 管数目,降低了逻辑功耗。接下来几节将描述 ADC 各模块具体结构。

1.3 DAC

DAC 结构如下图 3 所示^[7],DAC 电容阵列采用 2 进制权重电容,为了减小总电容面积,电容阵列采用了分段电容结构,考虑到分段过多或者低段电容位数过大会在高低段之间产生大的失配,所以只采用一次分段,且低段电容为 2 bit,高段电容为 7 bit。通过分段,DAC 电容阵列的总电容降低了 75%。同时,DAC 高 2 位电容采用分裂结构^[8],采样时分裂的电容底板分别接 VRP 和 VRN,这样可以降低 MOS 开关管的导通阻抗,提高速度;在

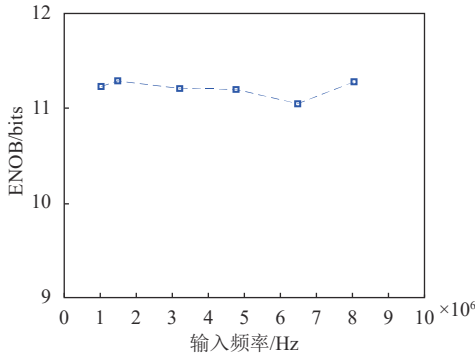


图 7 ENOB 仿真结果

1.5 动态比较器

比较器是 ADC 中主要的功耗和噪声来源，为了降低 ADC 的整体功耗，本设计中比较器采用动态预放大器与动态 latch 级联的 double-tail 结构^[10]，该结构由时钟驱动，没有静态功耗，同时适用于较低的电源电压，可以推广应用到更低的工艺尺寸中。动态比较器的电路图如图 8 所示^[10]，其中 M0-4 构成第一级预放大级，M5-11 构成第二级 latch 级。

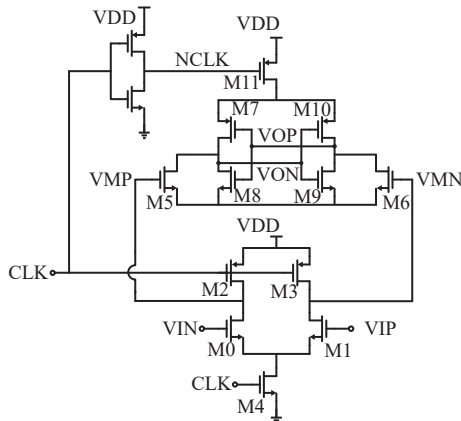


图 8 动态比较器电路

当 CLK 为 0 时，动态比较器进入复位阶段，将节点 VMN、VMP 处的寄生电容预充到 VDD，并将 VOP、VON 节点上的电压复位到 0，等待下一次比较。当 CLK 变为 1 时，动态比较器进入比较阶段。第一级将输入差分小信号电压 VIP-VIN 积分到 VMP、VMN 处的寄生电容上。同时第二级电路给 VOP、VON 节点充电，当电平超过 M8、M9 管的阈值电压时，latch 启动，根据 VMP、VMN 处电位不同，正反馈产生不同的结果。当比较完成后，latch 完全关断，预放大器也没有电源到地的通路，所以没有静态功耗。

由于比较器第一级的噪声会被第二级放大，所以比较器的等效输入噪声主要由第一级决定。在比较阶段，M2、M3 管关闭，第一级实际上依靠 VMP、VMN 节点寄生电容上储存的电荷工作，相

当于一个 Gm-C 积分器，MOS 的噪声电流被积分到 VMP、VMN 节点寄生电容上，假设输入差分对管跨导 Gm 不随时间改变，则 M1、M2 管在 VMP、VMN 节点产生的噪声均方电压为^[11]：

$$\langle v_c^2 \rangle = \frac{S_{in}}{2} \int_0^{T_s} \left(\frac{1}{C_c} \right)^2 dt = \frac{S_{in}}{2} \frac{T_s}{C_c^2} \quad (4)$$

式中， S_{in} 是输入差分对的噪声电流功率密度； T_s 是第一级预放大的时间； C_c 是 VMP、VMN 节点寄生电容。从式 (4) 中可以看到，噪声均方电压随时间线性增加，但考虑到有效信号电压也随时间线性增加，所以信噪比随时间增大。设计时可以通过增加第一级预放大的时间或增加寄生电容 C_c 的值来降低噪声。需要注意的是噪声的降低是以牺牲比较器速度为代价的。通过仿真，本设计中动态比较器的等效输入 RMS 噪声为 250 μ V < 1/8 LSB。

1.6 异步时钟生成模块

本设计使用门控环形振荡器^[12]产生高频的时钟，门控环形振荡器的结构如图 9 所示^[7]。该环形振荡器由比较器、两个反相器、三输入与非门，以及两个不同长度的门控反相器链构成。门控环形振荡器的振荡周期 $T = 2 \sum T_p$ (T_p 为环路中各模块的传输延迟)^[13]，该时间受芯片的制造工艺偏差以及温度的影响较大，为了使 ADC 在各个工艺角及温度下正常工作，可以通过选择不同的反相器链通路来调节环振的振荡周期。门控环形振荡器的工作时序如图 10 所示。其中 T_{p1} 为与非门传输延迟， T_{p2} 为反相器链传输延迟， T_{p3} 为比较器传输延迟， T_{p4} 为反相器传输延迟。

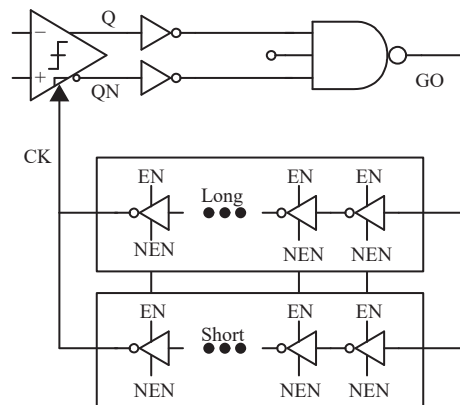


图 9 门控环形振荡器

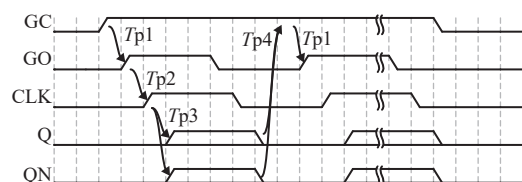


图 10 门控环形振荡器工作时序

1.7 SAR 逻辑模块

SAR 逻辑主要由触发器链构成, 通过触发器的级联来实现各个比特位开关的依次使能。为了提高速度, 降低功耗, 触发器使用 TSPC (True Single Phase Clock) 动态逻辑电路^[14]实现。当 RST 为 0 时, 输出立即复位为 0; 当 RST 由 0 变为 1 时, 输出在时钟下降沿到来时变为 1。TSPC 触发器电路图如图 11 所示^[15]。

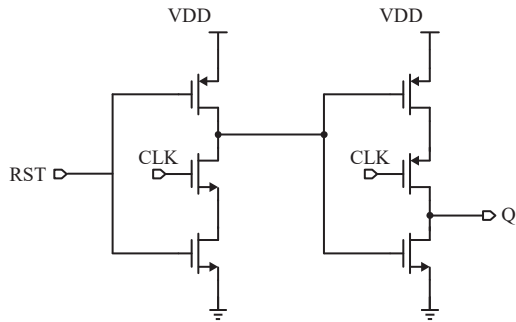


图 11 TSPC 触发器

SAR 逻辑触发器级联后通过 ADC 内部生成的异步时钟驱动, 每级将输入的使能信号上升沿延迟一个时钟周期得到一系列控制信号 $S_i(i=1,2,\dots,10)$, 相邻的两个控制信号通过非门和与门可以得到长度为一个时钟周期的窗口使能信号 $SC_i(i=1,2,\dots,10)$, 该信号作为各比特位的使能信号。SAR 逻辑电路如图 12 所示。其工作时序如图 13 所示。

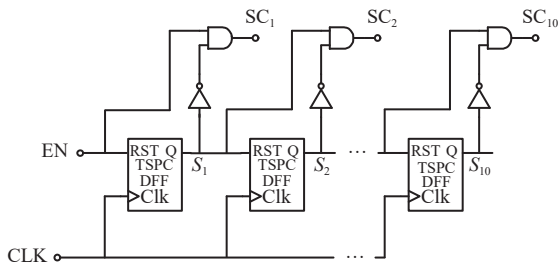


图 12 SAR 逻辑电路

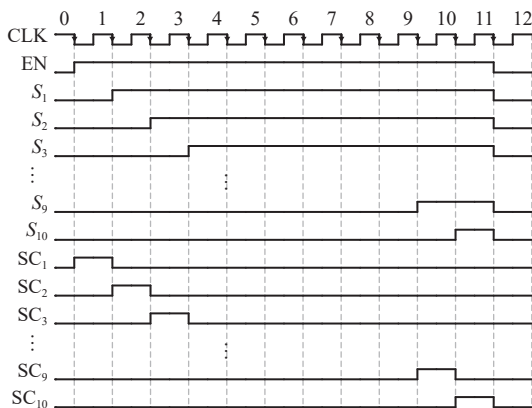


图 13 SAR 逻辑工作时序

2 仿真结果

该 ADC 由 1P6M 180 nm CMOS 工艺制造, 芯片的单通道版图如图 14 所示。芯片核心尺寸为 $300\ \mu\text{m} \times 300\ \mu\text{m}$, 易于多通道集成。芯片已提交流片。

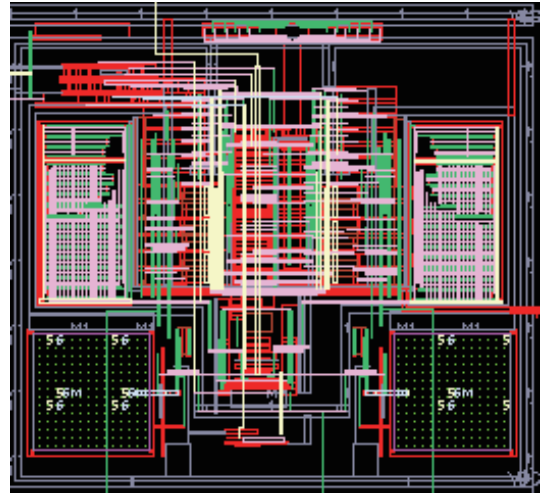


图 14 ADC 版图

为了验证 ADC 的功能及性能, 在几种不同的工艺角、温度、电源电压以及不同的环振配置下进行了仿真, 并测试了该 ADC 的动态性能。测试的输入信号为 1.836 MHz 的差分正弦输入, 采样时钟为 20 MHz 的方波, 满足相干采样, 时钟信号的上升和下降时间均为 6 ns。ADC 芯片的输出数据通过 FFT 变换得到输出频谱, 再通过频谱分析得到信噪比 SNR、信纳比 SINAD、总谐波失真 THD 和有效位数 ENOB。前仿真典型工作状态下频谱如图 15 所示。

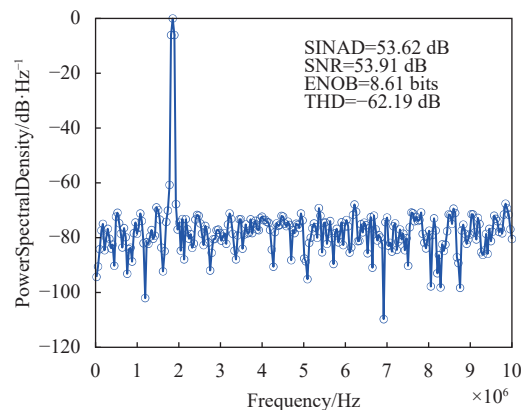


图 15 ADC 输出功率谱

3 结束语

本文针对 GEM-TPC 气体探测器前端数字化读

出芯片的需求研制了一款 10 bit、20 MSPS 的 ADC 芯片，完成了电路图和版图的设计。前后仿真结果表明 ADC 在各个工作角下工作正常；前仿真结果显示在常温和典型工艺角下 ADC 的 SINAD 为 53.62 dB，SNR 为 53.91 dB，ENOB 为 8.61 bits，THD 为 -62.19 dB，基本达到设计指标。下一步将进行第二版的 ADC 设计，在新的设计中进一步优化 ADC 的性能，并加入电容失配校准，以提高 ENOB。

参考文献

- [1] ODA S, HAMAGAKI H, OZAWA K, et al. Development of a time projection chamber using gas electron multipliers (GEM-TPC)[C]//Proceedings of the IEEE Nuclear Science Symposium Conference Record. New York: IEEE, 2005: 940-944.
- [2] 孙志朋. 高计数率的 TPC 探测器读出电路研究与设计 [D]. 北京: 中国科学院大学, 2021.
SUN Z P. Research and design of TPC detector readout circuit with high count rate[D]. Beijing: University of Chinese Academy of Sciences, 2021.
- [3] BARBOZA S H I, BREGANT M, CHAMBERT V, et al. SAMPA chip: A new ASIC for the ALICE TPC and MCH upgrades[J]. *Journal of Instrumentation*, 2016, 11(2): C02088.
- [4] ADOLFSSON J, PABON A A, BREGANT M, et al. SAMPA chip: The new 32 channels ASIC for the ALICE TPC and MCH upgrades[J]. *Journal of Instrumentation*, 2017, 12(4): C04008.
- [5] MURMANN B. ADC performance survey 1997-2023[EB/OL]. [2023-08-07]. <https://github.com/bmurm/ADC-survey>.
- [6] RAZAVI B. Design of analog CMOS integrated circuits[M]. New York: McGraw Hill, 2016.
- [7] 谷宪. 高速低功耗小尺寸 SAR ADC IP 设计[D]. 北京: 清华大学, 2017.
GU X. High-speed, low-power-dissipation, small-area SAR ADC IP design[D]. Beijing: Tsinghua University, 2017.
- [8] TRIPATHI V, MURMANN B. An 8-bit 450-MS/s single-bit/cycle SAR ADC in 65-nm CMOS[C]//Proceedings of the ESSCIRC. Bucharest: IEEE, 2013: 117-120.
- [9] RAZAVI B. The design of a bootstrapped sampling circuit [the analog mind][J]. *IEEE Solid-State Circuits Magazine*, 2021, 13(1): 7-12.
- [10] SCHINKEL D, MENSINK E, KLUMPERINK E, et al. A double-tail latch-type voltage sense amplifier with 18ps setup+hold time[C]//Proceedings of the IEEE International Solid-State Circuits Conference. San Francisco: IEEE, 2007: 314-315.
- [11] XU H, ABIDI A A. Analysis and design of regenerative comparators for low offset and noise[J]. *IEEE Transactions on Circuits and Systems I: Regular Papers*, 2019, 66(8): 2817-2830.
- [12] RAZAVI B. The ring oscillator a circuit for all seasons[J]. *IEEE Solid-State Circuits Magazine*, 2019, 11: 10-81.
- [13] DAS B P, ONODERA H. On-chip measurement of rise/fall gate delay using reconfigurable ring oscillator[J]. *IEEE Transactions on Circuits and Systems II: Express Briefs*, 2014, 61(3): 183-187.
- [14] YUAN J, SVENSSON C. High-speed CMOS circuit technique[J]. *IEEE Journal of Solid-State Circuits*, 1989, 24(1): 62-70.
- [15] LEE W H, CHO J D, LEE S D. A high speed and low power phase-frequency detector and charge-pump[C]//Proceedings of the ASP-DAC'99 Asia and South Pacific Design Automation Conference 1999. Hong Kong, China: IEEE, 1999: 269-272.

编辑 张莉