

引用格式: 杨作桥, 颜俊伟, 安一郎, 等. VLAST 反符合探测器的多线程数据采集设计与实现 [J]. 电子科技大学学报, 2025, 54(3): 353-361.  
YANG Z Q, YAN J W, AN Y L, et al. Design and implementation of multi-threaded data acquisition for the VLAST anti-coincidence detector[J]. Journal of University of Electronic Science and Technology of China, 2025, 54(3): 353-361.

# VLAST 反符合探测器的多线程数据采集设计与实现



杨作桥<sup>1,2</sup>, 颜俊伟<sup>1</sup>, 安一郎<sup>1,2</sup>, 余乾顺<sup>1</sup>, 张永杰<sup>1</sup>, 方芳<sup>1</sup>,  
魏子洋<sup>1</sup>, 余玉洪<sup>1</sup>, 孙志宇<sup>1</sup>, 孔洁<sup>1,2\*</sup>

(1. 中国科学院近代物理研究所, 兰州 730000; 2. 中国科学院大学核科学与技术学院, 北京 100049)

**摘要:** 反符合探测器 (ACD) 是甚大面积伽马射线空间望远镜 (VLAST) 的一部分。为充分测试探测器的功能和性能, 并兼容未来多版本探测器的升级与评估, 需要设计具有一定灵活性的数据采集系统。该文针对 ACD 的需求设计并实现了基于 USB 3.0 规范的数据采集系统, 包括 USB 相关的硬件设计、FPGA 逻辑设计和上位机软件设计。软件系统作为该设计的核心, 使用 Python 3.11 实现, 应用多线程技术灵活配置系统中接入的 USB 设备数量并进行设备控制和数据传输。该系统已应用在反符合探测器原理样机中, 并在欧洲核子研究中心 (CERN) 进行了束流实验。实验结果表明, 该数据采集系统在长时间实验下工作正常, 运行稳定, 符合探测器测试需求。

**关键词:** VLAST; 反符合探测器; 数据采集系统; USB3.0; 多线程; FPGA

中图分类号: TP311.52 文献标志码: A DOI: 10.12178/1001-0548.2024095

## Design and implementation of multi-threaded data acquisition for the VLAST anti-coincidence detector

YANG Zuoqiao<sup>1,2</sup>, YAN Junwei<sup>1</sup>, AN Yilang<sup>1,2</sup>, SHE Qianshun<sup>1</sup>, ZHANG Yongjie<sup>1</sup>, FANG Fang<sup>1</sup>, WEI Ziyang<sup>1</sup>,  
YU Yuhong<sup>1</sup>, SUN Zhiyu<sup>1</sup>, and KONG Jie<sup>1,2\*</sup>

(1. Institute of Modern Physical, Chinese Academy of Science, Lanzhou 730000, China;

2. School of Nuclear Science and Technology, University of Chinese Academy of Science, Beijing 100049, China)

**Abstract:** The anti-coincidence detector (ACD) plays a crucial role as a component of the very large area gamma-ray space telescope (VLAST), serving to thoroughly assess the functionality and performance of the detector. Additionally, it must be compatible with future upgrades and evaluations of multiple detector versions. To address the requirements of ACD, this paper designs and implements a data acquisition system based on the USB (universal serial bus) 3.0 specification. The system includes USB-related hardware design, universal serial bus (FPGA) logic design, and host computer software design. As the core of this design, the software system is implemented in Python 3.11, utilizing multithreading technology to flexibly configure the number of USB devices connected to the system, and to manage device control and data transmission. Currently deployed in the VLAST ACD prototype, this system has undergone beam experiments at the European Organization for Nuclear Research. Experimental results indicate that the data acquisition system operates normally and exhibits stable performance during prolonged experiment, meeting the testing requirements of the detector.

**Key words:** VLAST; anti-coincidence detector; data acquisition system; USB3.0; multi-threading; FPGA

在成功研发并运行我国首颗天文卫星——“悟空”号 (dark matter particle explorer, DAMPE) 的基础上, 国内多家单位提议研制甚大面积伽马射线空间望远镜 (very large area gamma-ray space telescope,

VLAST), 该望远镜在 GeV-TeV 能段接受度高达  $10 \text{ m}^2\cdot\text{sr}$ , 并具有强的 MeV-GeV 波段探测能力。VLAST 的综合性能预期比费米卫星的大面积伽马望远镜 “Fermi-LAT (large area telephone)” 提升

收稿日期: 2024-04-22

基金项目: 国家自然科学基金 (U2031206); 中国科学院仪器设备功能开发技术创新项目 (2025g105); 工信部重点实验室资助项目 (GXB 202301)

作者简介: 杨作桥, 博士生, 主要从事核电子学及数据获取方面的研究。

\*通信作者 E-mail: kongjie@impcas.ac.cn

10 倍以上<sup>[1]</sup>。主要科学目标包含暗物质粒子的间接探测、高能时域天文、宇宙线物理、宇宙物理学、基本物理规律检验等多个方面。

## 1 研究背景

### 1.1 反符合探测器

VLAST 中反符合探测器 (anti coincidence detector, ACD) 用来区分带电粒子和伽马光子, 通过对入射带电粒子高探测效率的测量与径迹重构实现对电子和伽马光子的鉴别。同时 ACD 也将通过判断带电粒子在探测器中的能损, 实现轻核素的种类鉴别<sup>[2]</sup>。

如图 1 所示, VLAST 的反符合探测器位于顶部和四周 (侧面)。根据物理目标要求, 反符合探测器主要技术指标有:

- 1) 探测单元动态范围: 电子、离子 ( $Z=1 \sim 8$ ,  $Z$  为电荷数);
- 2) 提供带电粒子的触发击中信号, 击中信号最小可触发阈值 0.1 MIPs (最小电离粒子), 阈值可调;
- 3) 能对流量为 20 kHz/m<sup>2</sup> 的入射粒子进行处理, 内部有科学数据的缓冲, 降低死时间。

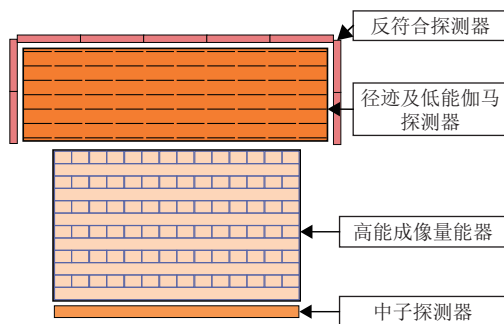


图 1 VLAST 初步构型示意图

VLAST 将反符合探测器设计成块状堆叠, 采用块状的有机塑料闪烁体作为探测器的灵敏材料, 由顶部和四周的块状探测灵敏单元组成“方形无沿帽子”的总体构型方案。为了提高空间伽马光子的有效测量, 所有的探测单元的信号读出通道还将参与有效载荷的总触发。整个反符合探测器共包括 209 个探测单元, 由于读出光电倍增管拟采用双打拿极读出方式, 并实现 1:1 的信号备份, 因此共有 418 个 PMT、418 路触发信号测量通道和 836 路电荷测量通道。

### 1.2 电子学设计

数据传输方面, 在当前设计的原始数据模式下, 单板数据率将达到 1.2 Gbps。为满足高传输速率, 对比当前主流的串行总线协议, 尽管常用的

PCIe (peripheral component interconnect express) 总线技术具有更高的传输速度, 以 PCIe 4.0 为例, 其单链路的带宽能达到 16 GT/s (15.75 GBps), 但考虑到大多数的计算机未直接配备外露的 PCIe 接口, 并且其扩展性、通用性差, 外部电路结构复杂, 不适用于当前原理样机阶段对于高灵活性的需求<sup>[3]</sup>。USB 是一种计算机与外围设备之间进行数据交互的通信协议。USB 广泛存在于 PC 中, 具有良好的通用性、高可靠性和快速传输速度的优点。USB 3.0 首次发布于 2008 年, 其最大带宽为 5 Gbps, 并支持双向数据传输。目前, 大多数笔记本电脑配备支持 USB 3.0 的接口。虽在传输速率方面不及 PCIe 总线, 但仍能满足 ACD 数据传输速度需求, 并且其电路设计简单, 支持热插拔, 使得在研发调试方面的应用更为方便<sup>[4-6]</sup>。

由于读出通道的数量较多, 无法将所有读出通道设计在单块电路板中, 这意味着仅用单路 USB 进行数据传输无法满足电子学读出需求, 需要考虑多板多路 USB 设备同时接入时上位机如何处理。其中, 如何配置数据采集系统灵活增减接入的数据采集单元数量, 并均能同时可靠采集科学数据是保证系统灵活性与稳定性的关键。此外对于采集过程的状态监测、中断处理、已采集数据的完整性校验也是设计中需要考虑的问题。

针对以上问题, 本文设计了一种基于 USB 3.0 协议规范的多线程数据采集系统, 具有可扩展性、易部署和移植并满足 ACD 原理样机的测试需求。

## 2 硬件架构设计

### 2.1 架构设计

ACD 电子学系统目前采用子母板设计, 由包含 ASIC 芯片进行电荷测量的 FEE (front-end electronics) 子板和进行数据采集、传输的 DAQ (data acquisition) 母板组成, 单套系统可实现 16 路电荷通道测量。子板使用 ASIC 芯片 IDE 3381 作为核心, 通过子板上的 LEMO 接口与探测器连接, 其时钟、供电均通过板上连接器由母板的时钟与电源模块提供, 输出信号也经连接器输出到母板上进行后续处理。

母板的核心硬件采用 Xilinx 公司的 K7 系列 FPGA (field programmable gate array) 作为控制器。母板的核心功能由 FPGA 通过 SPI 协议控制子板上的 IDE3381 进行电荷测量, 输出的波形由 ADC 进行采样, ADC 将原始波形数字化后传输给

FPGA 进行封装打包后传输到 USB 芯片 FT601Q, 通过 USB3.0 接口转发数据至上位机, 其结构框图如图 2 所示。

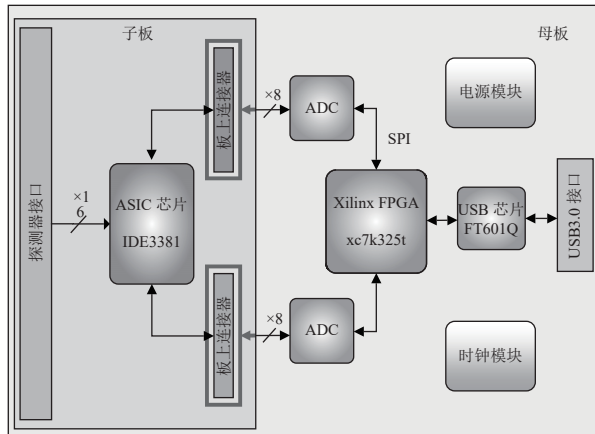


图 2 数据采集系统硬件架构示意图

### 2.2 IDE3381 芯片

由于 ACD 电子学读出通道数量较多, 且空间项目中电路规模与功耗都需要严格控制<sup>[7]</sup>, 因此为兼顾电子学设计需求中的能量读出与触发判选功能, 选用了一款高集成度的电荷读出芯片 (IDE3381) 来减小电路规模。

IDE3381 是挪威 IDEAS 公司开发的一款电荷测量芯片, 用于 PMT/SiPM 的读出, 单片 IDE3381 集成了 16 路电荷测量通道, 可以对 16 路探测器的输出信号进行积分、放大和成形<sup>[8]</sup>。每个通道由 CMIS (current mode input stage)、电荷灵敏放大器 (charge sensitive amplifier, CSA)、慢成形电路、峰值保持电路、快成形电路和甄别电路器等组

成。该芯片与主控系统的通信通过 SPI 协议实现, 引脚占用少, 便于未来在单板上拓展更多的电荷测量通道。另外, 该 ASIC 具有辐射加固设计, 适用于空间实验中的应用。

### 2.3 FT601Q 芯片

FT601Q 芯片拥有最高达 5 Gbps 的数据传输速率, 并向下兼容高速和全速的 USB 2.0。FT601Q 通过 32 bit 并行 IO 接口 (Input/Output Interface) 实现用户与芯片数据交换, 整个 USB 通信协议全部由芯片驱动自行完成, 开发者无须考虑 USB 底层固件编程即可实现 USB 3.0 通信<sup>[9-12]</sup>。根据官方给出的实测数据, 该芯片传输速率能达到 350 MB/s, 传输速率满足 ACD 电子学性能需求并有一定裕量以供后续探测器性能升级<sup>[4]</sup>。

## 3 系统固件设计

本设计使用 Xilinx 公司型号为 XC7K325TFFG 900-2 的 FPGA 作为核心处理器件, 完成对 ASIC、ADC 的配置以及数据的处理与传输。

系统的固件架构如图 3 所示。当系统配置为指令下发模式时, 上位机下发的指令到达 FT601Q 芯片后, 通过位宽为 32 bit 的 IO 总线传输到 FPGA 中的 FIFO\_1。指令长度为 64 位, 需要由 USB 控制逻辑将连续两次下发的指令从 FIFO (First In First Out) 中读出并组合后再交付到指令译码逻辑中。经过译码, ADC/DAC/IDE3381 芯片的配置指令下发完成。回读时由上位机下发回读指令, 待 FPGA 从芯片寄存器中回读配置后, 打包数据再经 FT601Q 芯片发送至上位机。其时序逻辑如图 4 所示。

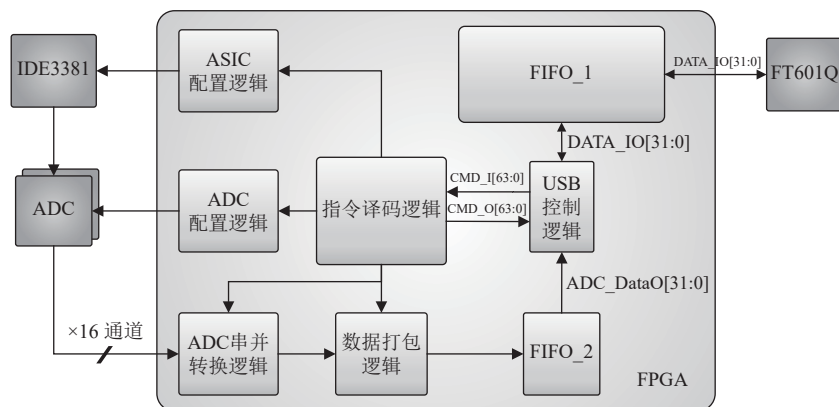


图 3 数据采集系统 FPGA 逻辑架构图

数据采集模式下, 完成采集指令译码后, 向 ADC 串并转换逻辑、数据打包逻辑发出使能信号, 由于目前选用 12 位宽、数据串行输出的

ADC, 因此需要在 FPGA 中完成对 ADC 输出数据的串并转换, 等待外部触发信号到来后进行打包。之后经过 FIFO\_2 输出至 USB 控制逻辑, 等待

FT601Q 读使能信号有效，数据即可上行至上位机。其时序逻辑如图 5 所示。

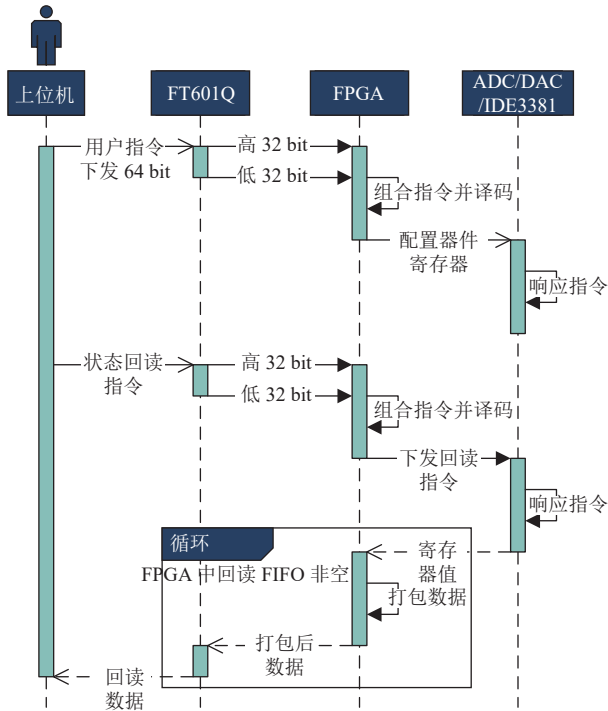


图 4 指令下发&回读模式时序图

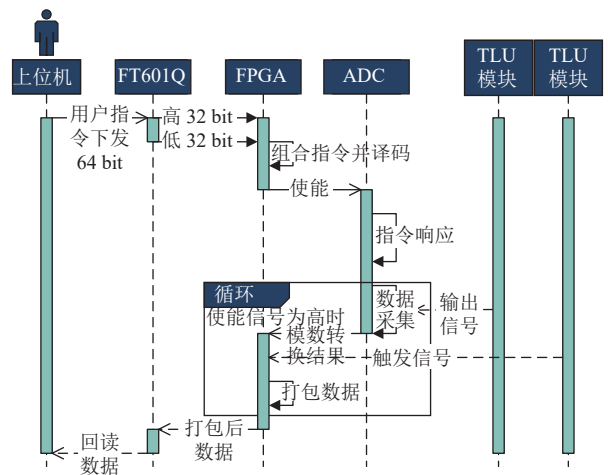


图 5 数据采集模式时序图

由于软件层面的数据读取指令下发延迟在毫秒级，而逻辑系统完成数据打包耗时在微秒级，因此设计中将 FIFO\_1 设置的足够深，以保证在逻辑系统开始数据打包后，上位机读指令未到达之前的数据不会丢失。

## 4 系统软件设计

Python 语言为硬件设计人员构建灵活的、模块化和可扩展的工作流<sup>[13]</sup>。相较于多进程编程，多线程的编程方式由于共享同一进程的地址空间，可以直接访问相同的数据，在一个线程等待 IO 的同

时，允许其他线程执行<sup>[14]</sup>，通常更适用于 IO 密集型任务。如今多线程架构在许多处理器和各种嵌入式设备上普遍使用<sup>[15]</sup>，其优势在于能够提高自适应性、带宽利用率<sup>[16-17]</sup>、提升在多核处理器上的性能，并且在小型系统中也有良好的适用性。鉴于 Python 的 Threading 库为多线程编程提供了强有力的支持，而 PyQt 库则极大地简化了用户界面 (user interface, UI) 的设计过程，本设计利用这两大库的特性，以此为基础展开软件开发工作，旨在实现更为灵活、模块化和可扩展的硬件设计工作流。此外，为增强软件的功能性，并且提高开发的效率和代码的可维护性，还使用了其他的 Python 库，表 1 为软件设计中使用的库列表及功能简述。

表 1 软件主要使用的 Python 库列表

库名称	功能简述
OS	用于文件和目录操作
watchdog	用于文件目录的监控和文件列表刷新
csv	用于读取和写入ASIC配置文件
ftd3xx	用于通过Python实现FTDI设备控制
threading	用于实现软件的多线程操作
multiprocessing	用于跨线程通信
time	用于获取时间戳、参与采集速率运算等
Pyqt5	用于创建用户图形界面
tkinter	用于实现图形界面控件响应函数
ROOT	用于Python访问和使用ROOT功能
sys	用于执行脚本及获取异常信息
math	用于对变量、数据等进行数学运算
numpy	用于对数据进行处理、绘图等

### 4.1 软件架构

上位机软件的整体架构在设计时充分考虑了可扩展性、高安全性及可维护性的核心要素。在底层实现上，软件采用了 FTDI 公司提供的底层驱动与动态链接库<sup>[18]</sup>，以确保底层通信的稳定性和可靠性。

如图 6 所示，软件为每个连接至主机的 USB 设备单独创建一个对象，在下发设备配置时，考虑到对每个 USB 对象的配置操作不完全相同，故为每个对象独立创建线程，不同对象之间互不影响，用户需要手动依次配置。

而在数据采集过程中，当设备数量较多时手动开启采集线程较为繁琐，软件采用基于负载感知的线程调度策略，在后台为每个活动的 USB 对象自动创建数据采集和存储的线程后，统一开始和结束所有线程。为提升易用性，软件综合指令在 UI 中，对复杂任务提供更为直观的选项与操作，并且预留了接口以便后续升级维护。

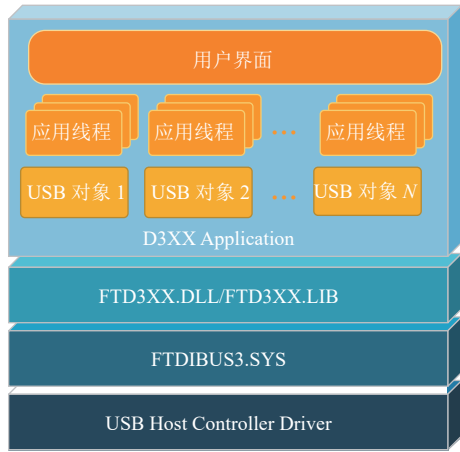


图 6 软件架构示意图

### 4.2 主要流程

应探测器测试的需要, 软件主要分为系统配置、寄存器配置和读取、数据采集 3 个主要流程。因此根据不同流程的需求, UI 采用分立式设计, 通过标签页的方式进行功能区分, 添加了消息列表, 可在执行某项功能后给予即时反馈。

系统配置流程中, 主要是针对 USB 对象进行操作, 包括创建与删除、添加状态监控和中断处理 3 项主要功能。点击 USB 连接按钮后, 检测当

前是否有支持的 USB 设备连接到主机, 若能正常连接则创建该设备的 USB 对象, 并开启对于该对象的监控线程, 直到 USB 设备断开连接。

数据采集流程是该设计的核心工作, 如图 7 所示, 在完成“配置文件保存路径”后, 点击“数据采集”按钮可对当前所有的 USB 对象创建如数据接收、数据存储及实时速率显示等线程, 并开始数据采集的过程。其中数据接收与存储两个不同线程之间, 通过 Python 中 multiprocessing 库采用先进先出方式的“Quene”对象来进行通信, 在接收线程中通过“put”方式将数据压栈到队列中, 存储线程通过“get”方式弹栈数据到局部变量中再进行存储。通过以上方式解决了当某个瞬时状态下, 大量触发使数据上行速度过快而上位机硬盘写入速度不足时造成的丢数问题。为使多个线程易于管理, 软件在线程创建后, 生成一个统一线程标识“event”对所有线程进行状态控制。完成以上动作后, 当软件向系统底层下发数据采集使能指令时将“event”置为 0。当停止采集时, 线程标识“event”置为 1, 接收、存储、速率显示相关线程依次停止运行, 在软件复位的同时也向底层发送复位指令, 等待下次采集。

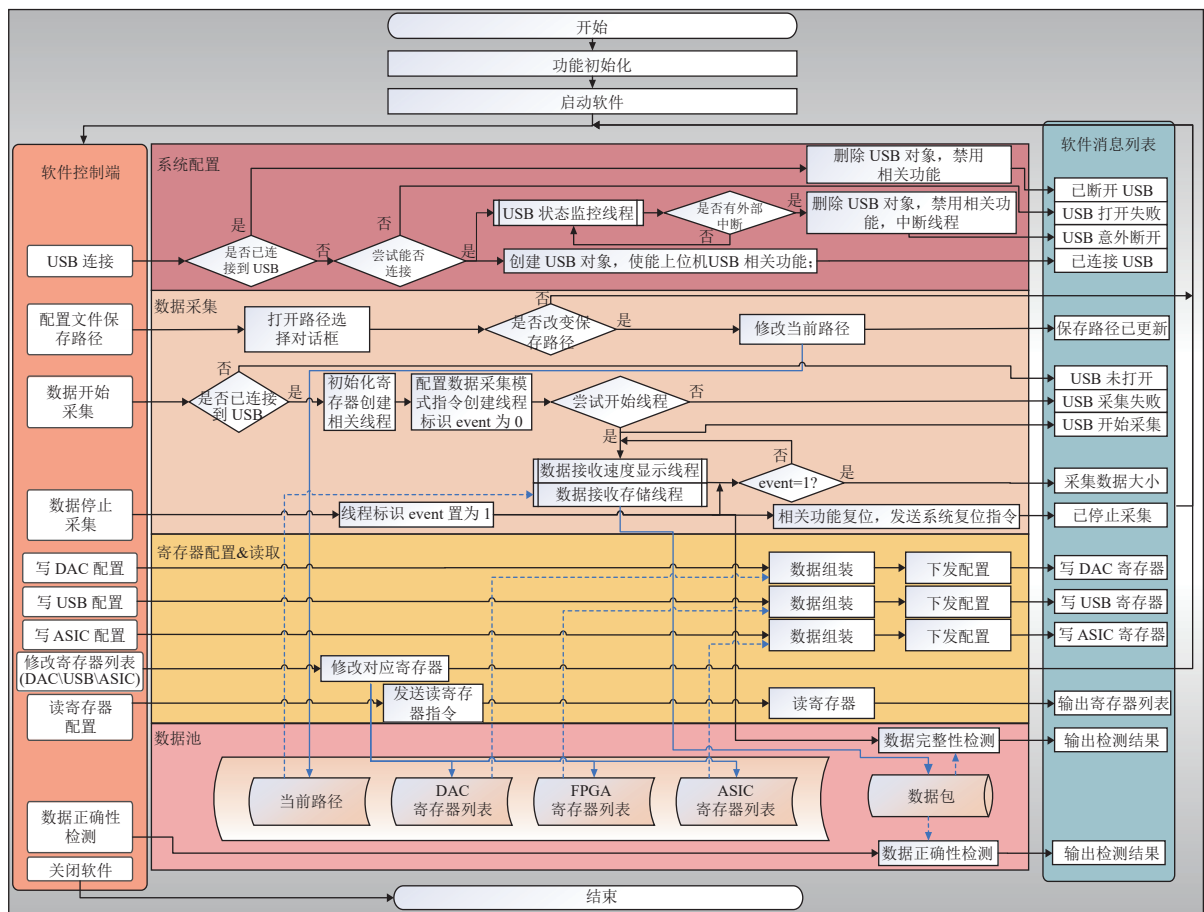


图 7 软件流程图

寄存器配置&读取流程包括 DAC 配置、系统寄存器配置和 ASIC 配置。通常在系统初次运行或根据实验需求调整参数时执行。该流程在上位机的系统配置界面和 ASIC 配置界面中完成。软件将用户填写的各个寄存器的值组装后打包成完整命令下发到逻辑系统中。每次系统重启后均需重新下发配置，通过寄存器配置回读功能可在消息列表中查看当前的寄存器配置。图 8 为在上位机系统配置标签页中对 DAC 和系统寄存器进行配置及回读的结果。



图 8 DAC&系统寄存器配置及回读

### 4.3 波形显示和数据分析功能

软件中添加了波形显示功能，便于在测试时对当前状态有初步的判断。软件通过两种方式来调用数据分析工具“ROOT”进行分析：对于在实验现场仅需简单查看当前采集数据的需求，通过调用“ROOT”在新版本中添加了支持 Python3 的“PyROOT”库，可在软件内对采集数据绘制波形图并将图片保存到数据存储路径下；对于后续更深度的数据分析，软件通过加载现有的“ROOT”分析文件，检测文件中关于数据文件路径的部分并替换为当前选中数据文件的路径，保存后调用 Python 中 subprocess 库的 Popen 函数来运行该分析代码，分析结果保存在数据文件同一路径下。为保证数据量较大时分析进程不阻塞主界面函数，这里的分析函数均在一个继承自 PyQt5 中多线程模块 QThread 的子类中定义，这样保证了软件在执行耗时分析任务时 UI 的响应。此外对于源文件 list 与 ROOT 文件 list 使用一个 QFileSystemWatcher 变量进行监听，并添加相应更新函数来保证 UI 中的文件列表即时更新。

如图 9 所示，在数据采集标签页中，在“源文件 List”列表框内会显示采集到的原始数据文件，

通过“加载 ROOT 文件”按钮加载数据分析文件路径到软件中，选中原始数据文件并点击“分析当前文件”按钮即可运行代码。代码运行结果会输出在状态信息栏中，通过双击文件名即可查看分析结果。

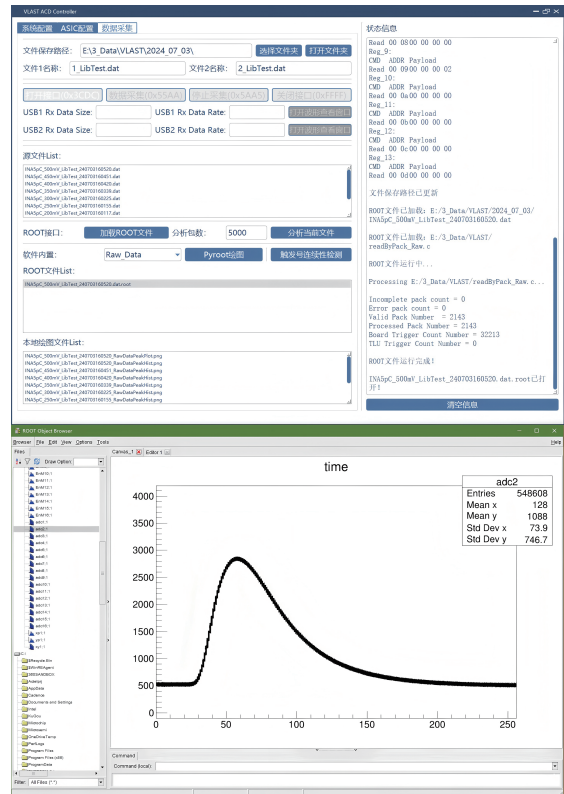


图 9 调用 ROOT 分析代码并查看结果

### 4.4 安全性设计

考虑到实际束流实验中的复杂情况，对于系统的安全性设计是必不可少的。软件中加入了状态监测与中断处理。在生成一个 USB 对象的同时，创建一个用于监测 USB 当前的连接状态的线程。若在数据采集状态下 USB 连接断开，监测线程使能中断处理函数，函数介入后停止该对象正在运行的相关线程，复位软硬件系统状态，并在消息列表中报告。在关闭软件 UI 时会调用 closeEvent 方法来断开 USB 连接。

数据安全同样值得重视。在数据存储线程结束后，软件自动执行数据完整性检测函数，对刚才采集到的数据进行检测，确认是否在采集过程中有丢失数据的情况。而对于数据整体而言，添加了正确性检测函数，对系统接收到的外部触发号与本板触发号进行对比，确认是否有丢失外部触发导致数据不完整的情况。

此外在 ASIC 寄存器数据配置下发时, 采用奇偶校验来确保配置下发内容正确; 回读 ASIC 当前配置时, 会与此前下发内容进行比较, 如果有差异则会在状态消息列表中有不同的输出。

## 5 系统测试与验证

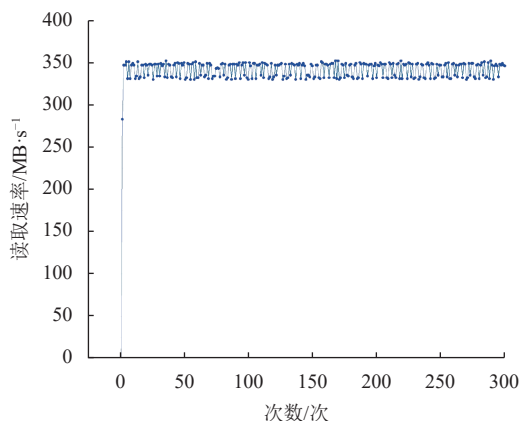
### 5.1 USB3.0 接口传输速率测试

为了测试 USB 3.0 接口的速率, 搭建了如下测试环境。测试环境的详细信息如表 2 所示。

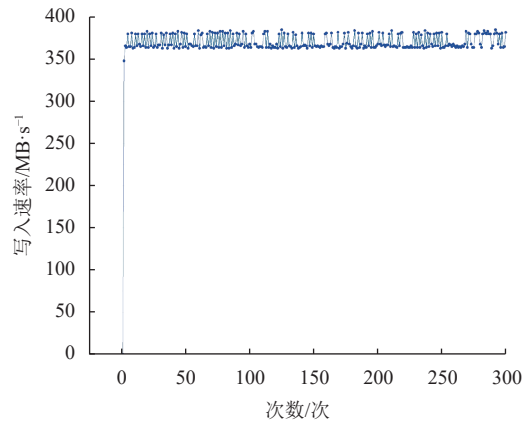
根据使用场景, 在同步模式下分别进行连续读写测试。在连续读取测试下, FPGA 中生成 32 bit 位宽的测试数据持续发送至回读 FIFO 中, 上位机对 USB 设备循环读取大小为 16 MB 的数据 300 次。再进行连续写入测试, 同样重复写入 16 MB 的随机数据 300 次, FPGA 固件设计为持续从写 FIFO 中读出数据。将软件中测试得到的速率进行记录并求平均值, 测试结果表明, 在当前条件下 USB 接口的连续读取速率约为 342 MB/s, 连续写入速率为 371 MB/s, 测试结果如图 10 所示。

表 2 USB3.0 速率测试环境

参数	配置
测试计算机	Thinkbook 14+ Intel (R) Core (TM) i5-13500H 2.60GHz, 32 GB Memory
操作系统	Windows11 家庭中文版 Version 22H2 (x64)
FTD3XX 驱动版本	V1.3.0.4
芯片配置软件	FT60X Chip Configuration Programmer (V1.3.0.2)
FT601Q 芯片 模式配置	245同步FIFO模式 <sup>[19]</sup>
速率测试软件	FTDI Data Streamer (V1.3.0.4) <sup>[20]</sup>



a. USB3.0 接口读取速率测试结果



b. USB3.0 接口写入速率测试结果

图 10 USB3.0 测试结果

### 5.2 多设备数据采集功能测试

该测试用于验证系统在多 USB 设备条件下系统能否同时从多个 USB 3.0 设备中采集数据, 并保持稳定的传输速率和准确性。使用与前项测试相同的上位机, 将上位机面板上 4 个空余的 USB 3.0 接口均接入 VLAST ACD 电子学套件。配置每个系统上电后, 在上位机软件中打开数据采集接口, 在终端中查看软件的输出信息: 是否所有使用 FT601Q 芯片的 USB 设备能被正常识别, 是否每个系统均能正常采集数据。

如图 11 所示, 软件能够正常识别所有已连接设备, 并能正常传输数据。结果表明数据采集系统正确识别到了所有接入设备, 多线程功能运行正常, 每个设备均能正常采集数据, 并且采集速率与总数据量相近。说明数据采集系统在多设备条件下工作正常。

```

USB1已连接!
USB2已连接!
USB3已连接!
USB4已连接!
Rx Data Rate (USB 1): 280.93 MB/s
Rx Data Rate (USB 2): 280.72 MB/s
Rx Data Rate (USB 3): 280.23 MB/s
Rx Data Rate (USB 4): 280.58 MB/s
Rx Data Size (USB 1): 5.89 GB
Rx Data Size (USB 2): 5.89 GB
Rx Data Size (USB 3): 5.87 GB
Rx Data Size (USB 4): 5.88 GB

```

图 11 多设备多线程数据采集功能测试结果

### 5.3 科学数据采集速率测试

本测试使用 VLAST ACD 第 2 版电子学读出板, 单板 16 通道, 当前探测器原理样机需要 21 路读出, 故使用两套电子学板进行测试。测试平台如

图 12 所示, 用 2 根 USB 线缆将电子学电路板与上位机连接, 使用直流电源为硬件电路供电, 使用 Tektronix AFG3252 双通道信号发生器输出触发信号至功分器为两套电子学提供外部触发。

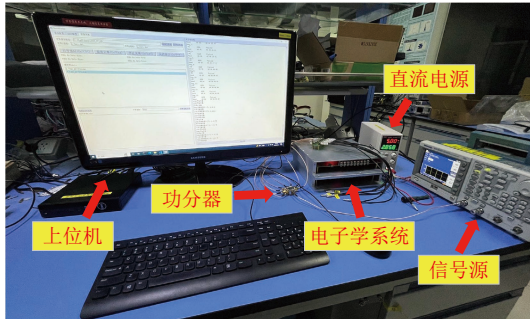


图 12 数据采集系统电子学测试平台

上位机同时打开两个 USB 设备的连接, 待配置好相关寄存器后, 同时开始采集基线数据。调整信号源输出 20 kHz 的方波作为触发, 为 Burst 模式, 单次输出 10 000 个脉冲, 等待采集结束后分析采集到的数据。如图 13 所示, 采集过程中数据存储正常, 状态显示正常。分析测试结果, 两板获取到的事件数相同且均为 10 000 个, 表明数据采集系统在 20 kHz 触发率下工作正常, 数据正确, 满足设计指标。

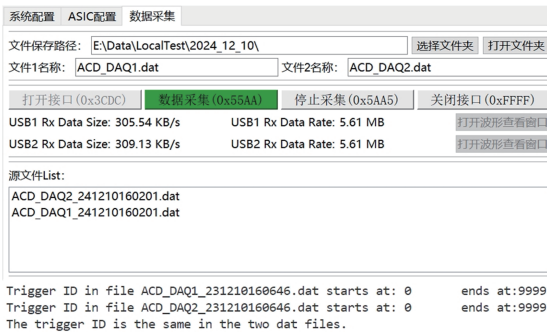


图 13 数据采集测试界面及触发号分析结果

#### 5.4 探测器联合测试

2023 年 VLAST 合作组在欧洲核子研究中心 (CERN) 的 PS-T9 和 SPS-H8 终端分别开展电子、光子以及 Pb 次级束流实验, 充分验证 VLAST 样机系统的整机工作性能。对于 ACD 分系统的验证项包括 ACD 的探测效率和均匀性、大动态范围覆盖的设计以及电子学对高计数率事件的响应等。实验现场如图 14 所示, ACD 样机由 3 根塑闪条状探测单元和一块 ACD 块状探测单元组成, 共计 21 路信号读出。电子学子板上的连接器与探测器使用双端 LEMO 接口的线缆相连, USB 3.0 线缆将数据传输到上位机后转存到服务器中以供后期数据处理分析。

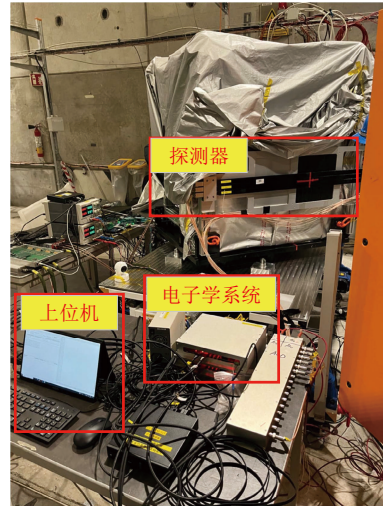


图 14 位于 CERN—SPS 束流区的束流实验现场

在整个束流实验期间, 每个束团束流强度最高到 5 000 个事件, 对应的 VLAST 外触发计数最高到 1 200 个计数每个束团, ACD 数据采集系统均工作正常, 系统没有发生丢包、错包现象, 采集到的数据满足科学分析需求。

## 6 结束语

针对 VLAST 中反符合探测器的电子学需求, 本文设计并实现了一种使用 USB 3.0 协议规范的多线程数据采集系统, 提出通过多线程的方式实现高速率的数据传输, 并支持自由增减设备以提高灵活性。测试结果表明, 单路 USB 接口读取速度达到了 340 MB/s, 满足探测器 20 kHz 触发事件率数据的读出需求。上位机软件可以实现不同设备的配置下发、数据采集、绘图等功能。此外还联合探测器进行束流实验, 表明数据读出采集模块工作正常, 采集到的波形符合预期。因其灵活、可扩展、易部署的特性, 该数据采集系统亦可应用于其他场景中。

### 参考文献

- [1] 范一中, 常进, 郭建华, 等. 甚大面积伽马射线空间望远镜计划[J]. 天文学报, 2022, 63(3): 15-32.  
FAN Y Z, CHANG J, GUO J H, et al. Very large area Gamma-ray space telescope[J]. Acta Astronomica Sinica, 2022, 63(3): 15-32.
- [2] 汪慎. VLAST 硅微条径迹探测器模块原型设计及参数化模拟研究[D]. 合肥: 中国科学技术大学, 2020.  
WANG S. Prototype module design and simulation of VLAST silicon tracker detector[D]. Hefei: University of Science and Technology of China, 2020.
- [3] LI Y K, SONG K Z, ZHONG K, et al. Design of high-speed data transmission system based on USB 3.0[J]. IEEE

- Transactions on Nuclear Science, 2023, 70(6): 1090-1095.
- [4] 周晨曦. 基于 USB 3.0 和 FPGA 的高速数据采集系统设计[D]. 成都: 成都理工大学, 2020.  
ZHOU C X. The design of high-speed data acquisition system based on USB 3.0 and FPGA[D]. Chengdu: Chengdu University of Technology, 2020.
- [5] 杨亚涛, 曲鸣, 曹广灿, 等. 支持多安全运算模块的 USB3.0 控制器固件设计[J]. 电子科技大学学报, 2019, 48(2): 195-201.  
YANG Y T, QU M, CAO G C, et al. Firmware design of USB3.0 controller to support multi information security calculating modules[J]. Journal of University of Electronic Science and Technology of China, 2019, 48(2): 195-201.
- [6] 华嘉骏. 基于 AXI 总线的 USB3.0 控制器的设计与验证 [D]. 西安: 西安电子科技大学, 2021.  
HUA J J. Design and verification of USB3.0 controller based on AXI bus[D]. Xi'an: Xidian University, 2021.
- [7] DOETINCHEM P V, FOPP S, KARPINSKI W, et al. Performance of the AMS-02 transition radiation detector[J]. Nuclear Instruments and Methods in Physics Research Section A: Accelerators, Spectrometers, Detectors and Associated Equipment, 2006, 558(2): 526-535.
- [8] 万强, 郭建华, 张岩, 等. ASO-S HXI 量能器电荷测量 ASIC 的抗辐照性能研究 [J]. 核技术, 2023, 46(3): 29-35.  
WAN Q, GUO J, ZHANG Y, et al. Radiation tolerance of the charge measurement ASIC for the ASO-S HXI spectrometer[J]. Nuclear Techniques, 2023, 46(3): 29-35.
- [9] 白彬. 基于 Zynq 的嵌入式双通道高速数字化谱仪的研制[D]. 成都: 成都理工大学, 2021.  
BAI B. Development of embedded dual-channel high-speed digital spectrometer based on Zynq[D]. Chengdu: Chengdu University of Technology, 2021.
- [10] FTDI. FTDI chip, Inc. application note AN\_379 D3XX programmers guide[EB/OL]. [2023-12-20]. [https://www.ftdichip.com/Support/Documents/ProgramGuides/AN\\_379%20D3xx%20Programmers%20Guide.pdf](https://www.ftdichip.com/Support/Documents/ProgramGuides/AN_379%20D3xx%20Programmers%20Guide.pdf), 2018.
- [11] FTDI. FT600Q-FT601Q IC datasheet[EB/OL]. [2023-12-25]. [https://ftdichip.com/wp-content/uploads/2020/07/DS\\_FT600Q-FT601Q-IC-Datasheet.pdf](https://ftdichip.com/wp-content/uploads/2020/07/DS_FT600Q-FT601Q-IC-Datasheet.pdf), 2017.
- [12] 张太然. 高速动态图像识别与采集卡电路设计[D]. 西安: 西安工业大学, 2023.  
ZHANG T R. High-speed dynamic image recognition and acquisition card circuit design[D]. Xi'an: Xi'an Technological University, 2023.
- [13] GERSTMAYR J. Exudyn—a C++-based Python package for flexible multibody systems[J]. Multibody System Dynamics, 2024, 60(4): 533-561.
- [14] RIZQULLAH M R, ANOM BA R, KURNIANTO W I, et al. Design and implementation of middleware system for IoT devices based on raspberry pi[C]//Proceedings of the International Electronics Symposium on Knowledge Creation and Intelligent Computing. New York: IEEE, 2018: 229-234.
- [15] ENI Y, GREENBERG S, BEN-SHIMOL Y. Efficient hint-based event (EHE) issue scheduling for hardware multithreaded RISC-V pipeline[J]. IEEE Transactions on Circuits and Systems I: Regular Papers, 2022, 69(2): 735-745.
- [16] WU L J, GAN C Q, WANG X D, et al. Flexible multi-thread dynamic bandwidth allocation algorithm in VPONs based on LR WDM/TDM PON[J]. IEEE Access, 2020, 8: 215467-215478.
- [17] LI B T, TODO S, MAGGS A C, et al. Multithreaded event-chain Monte Carlo with local times[J]. Computer Physics Communications, 2021, 261: 107702.
- [18] 钱思璠, 赵雷, 陈晗, 等. 用于 SCAASIC 测试的数字读出模块设计[J]. 原子核物理评论, 2020, 37(1): 74-81.  
QIAN S F, ZHAO L, CHEN H, et al. Design of a digital readout module for SCA ASIC testing[J]. Nuclear Physics Review, 2020, 37(1): 74-81.
- [19] FTDI. FT60X configuration programmer user guide [EB/OL]. [2023-12-28]. [https://ftdichip.cn/Support/Documents/AppNotes/AN\\_370%20FT60X%20Configuration%20Programmer%20User%20Guide.pdf](https://ftdichip.cn/Support/Documents/AppNotes/AN_370%20FT60X%20Configuration%20Programmer%20User%20Guide.pdf), 2017.
- [20] FTDI. FT600 data streamer application user guide [EB/OL]. [2023-12-31]. [https://ftdichip.com/wp-content/uploads/2020/07/AN\\_387-FT600-Data-Streamer-Application-User-Guide.pdf](https://ftdichip.com/wp-content/uploads/2020/07/AN_387-FT600-Data-Streamer-Application-User-Guide.pdf), 2015.

编辑 叶芳