

引用格式: 郭仲杰, 李林, 许睿明, 等. CMOS 图像传感器高一一致性自适应斜坡电路设计方法 [J]. 电子科技大学学报, 2025, 54(6): 801-809.  
GUO Z J, LI L, XU R M, et al. High consistency adaptive ramp circuit design for CMOS image sensors[J]. Journal of University of Electronic Science and Technology of China, 2025, 54(6): 801-809.

## CMOS 图像传感器高一一致性自适应 斜坡电路设计方法



郭仲杰\*, 李林, 许睿明, 刘绥阳, 余宁梅, 杨媛

(西安理工大学 自动化与信息工程学院 西安 710048)

**摘要:** 针对大面阵 CMOS 图像传感器 (CIS) 多斜坡发生器之间、多列之间由于后端布线寄生引起的非一致性问题, 提出了一种基于分布式积分型的高一致性自适应斜坡电路设计方法。通过分析误差引入的根源, 采用平均电压技术、自适应负反馈动态调节技术、数字相关双采样相结合的高精度补偿技术, 完成了斜坡信号非一致性校准方案设计。实验结果表明, 与现有的全局斜坡和分块式多斜坡相比, 提出的斜坡产生电路 DNL 为  $+0.000\ 636\ \text{LSB}/-0.000\ 6\ \text{LSB}$ , INL 为  $+0.329\ 2\ \text{LSB}/-0.738\ 6\ \text{LSB}$ , 实现了斜坡信号的高精度; 将各斜坡信号之间的不一致性降低为  $0.4\%\ \text{LSB}$ , 列固定模式噪声 (CFPN) 降低为  $0.000\ 037\%$ , 而整个芯片仅增加了  $0.6\%$  的面积和  $0.5\%$  的功耗, 该方法为超大面阵 CMOS 图像传感器斜坡信号的一致性提供了有效的解决方案。

**关键词:** CMOS 图像传感器; 单斜 ADC; 自适应斜坡信号发生器; 斜坡非一致性误差校正

中图分类号: TN47

文献标志码: A

DOI: 10.12178/1001-0548.2024170

## High consistency adaptive ramp circuit design for CMOS image sensors

GUO Zhongjie\*, LI Lin, XU Ruiming, LIU Suiyang, YU Ningmei, and YANG Yuan

(School of Automation and Information Engineering, Xi'an University of Technology, Xi'an 710048, China)

**Abstract:** This paper proposes a high consistency adaptive ramp circuit design method based on distributed integral type to address the inconsistency problem caused by parasitic backend wiring between multiple ramp generators and multiple columns in large-array CMOS image sensors (CIS). By analyzing the root causes of error introduction, a high-precision compensation technology combining average voltage technology, adaptive negative feedback dynamic adjustment technology, and digital correlation double sampling technology was adopted to complete the design of ramp signal inconsistency calibration scheme. The experimental results indicate that compared to existing global ramp and block-based multi-ramp approaches, the ramp generation circuit proposed in this paper achieves high accuracy of ramp signals with a DNL of  $+0.000\ 636\ \text{LSB}/-0.000\ 6\ \text{LSB}$  and an INL of  $+0.329\ 2\ \text{LSB}/-0.738\ 6\ \text{LSB}$ . The method reduces the inconsistency between the ramp signals to  $0.4\%\ \text{LSB}$ , decreases the column fixed pattern noise (CFPN) to  $0.000\ 037\%$ , and increases the overall chip area and power consumption by only  $0.6\%$  and  $0.5\%$ , respectively. this approach offers an effective solution for the consistency of ramp signals in large-scale array CMOS image sensors.

**Key words:** CMOS image sensors; single-slope ADC; adaptive ramp signal generator; correction of inconsistent error in ramp signal

CMOS 图像传感器 (CMOS image sensor, CIS) 已经广泛应用于汽车工业、安防检测、生物医学、机器视觉等图像处理领域<sup>[1]</sup>, 该系统的分辨率由内部模数转换器 (analog-to-digital converter, ADC) 的分辨率决定。为了实现在面积、功耗、精度和转

换速度等方面较好的性能折衷<sup>[2-4]</sup>, 目前国际上流行的 CIS 大多数采用列级单斜模数转换器 (single-slope ADC, SS ADC) 的处理架构<sup>[5-6]</sup>。斜坡发生器是 SS ADC 量化数据的基准, 高精度、高线性度的斜坡信号是单斜 ADC 设计的关键<sup>[7]</sup>。一般而言,

收稿日期: 2024-07-09

基金项目: 国家自然科学基金 (62171367); 陕西省创新能力支持项目 (2022TD-39)

作者简介: 郭仲杰, 博士, 教授, 主要从事超大规模集成电路设计方面的研究。

\*通信作者 E-mail: zjguo@xaut.edu.cn

列级 ADC 采用全局斜坡的方式为各列提供斜坡信号<sup>[8]</sup>, 然而超大面阵 CMOS 图像传感器由于版图面积、驱动能力和拼接工艺的多重因素考虑, 必须采用多个斜坡的设计方法<sup>[9]</sup>, 此时为了保证图像的空域参数, 就必须保证各斜坡发生器以及列斜坡信号的高度一致性。在超大面阵 CIS 这一特殊应用环境下, 无论使用全局斜坡信号发生器还是分块式斜坡发生器都存在各列斜坡信号之间的差异性。当然, 斜坡产生电路本身因为工艺、电压、温度等带来的影响, 也会让斜坡信号的斜率产生偏移, 因此对斜坡电路进行自适应的校准就很重要。

目前国内外报道的先进斜坡信号发生器结构, 着重解决斜坡的线性度与斜坡内部的非理想因素。文献 [10] 通过脉冲宽度锁定环路 (pulse width lock loop, PWLL) 电路架构来实现基于负反馈机制的自适应斜坡发生器, 在校正过程中, 此方案存在比较器的延迟和数字逻辑的延迟, 该延迟造成线性度的误差较大。虽然斜坡电路中比较器和数字逻辑的延迟可以通过文献 [11] 提出的比较器进行加速, 但加速有限。即便解决了延迟的问题, 但该自适应方案是针对斜坡产生电路自身的内部误差进行校正, 如工艺、电源电压、温度等引起的差异进行自适应校准, 因此该方案无法降低全局斜坡下或分块式斜坡下各列斜坡之间的一致性。

文献 [12] 提出了一种基于负反馈机制的自适应斜坡, 但是反馈电路中运放的失调电压会作用在斜坡上, 从而造成斜坡的斜率存在一定的误差。文献 [13] 通过对反馈电路中的运放进行初始化失调存储来降低失调电压对斜坡的影响, 但即便如此该自适应方案也是针对斜坡产生电路内部误差 (PVT 等) 进行校正, 不适合于全局斜坡和分块式斜坡之间不一致性的自适应校正。文献 [14] 为了减小斜坡输入级中存在的斜坡增益误差而提出了一种有源斜坡输入级方案, 从而将传统无源斜坡输入级斜坡增益中的绝对误差转化为相对误差, 但是该方案依然不能校正在大面阵下因走线寄生带来的非一致性问题。

文献 [15] 采用电流舵型斜坡电路结构作为全局斜坡, 通过数字相关双采样技术 (digital correlated double sampling, DCDS) 消除了单斜 ADC 的列固定模式噪声, 但是 DCDS 技术并不能消除斜坡的斜率偏移带来的影响。文献 [16] 通过采用电流舵型的斜坡电路结构设计一种噪声抑制斜坡发生器, 以此改善低亮度下电路的噪声和线性度, 但是该方案也无法改善大阵面 CIS 中比较器输入端非恒定 MOS

电容扭曲斜坡信号的问题<sup>[17]</sup>。文献 [18] 通过电容型数模转换器 (capacitive digital-to-analog converter, CDAC) 实现两步式斜坡电路, 并通过 CDAC 的电容阵列与一个可拆卸的 Super CDAC 阵列连接, 以此来提高线性度, Super DAC 的引入使得这些电容阵列开关的时序更加复杂, 而且精度只达到 10 bit。

现有的斜坡发生器都着重解决斜坡的线性度与斜坡内部的非理想因素<sup>[19]</sup>, 但在超大面阵规模的 CIS 中, 使用上述方案都会存在由于金属传输线寄生效应造成的列级不一致性问题<sup>[20-21]</sup>。本文针对斜坡不一致性误差进行研究, 并提出一种适用于大阵面 CMOS 图像传感器的分布式高一一致性自适应斜坡电路。

## 1 斜坡不一致性影响因素分析

图 1 为 CMOS 图像传感器架构示意图, 包括像素阵列、电荷泵、行驱动模块、列级读出电路、锁相环和 LVDS (low-voltage differential signaling) 接口等模块, 其中列级读出电路中的斜坡基准来自斜坡产生电路生成的全局斜坡电压信号, 通过 buffer 为各列提供斜坡信号。如今超大规模的 CIS 已经达到亿级甚至十亿级, 需要上万列并行 ADC<sup>[22]</sup>, 此处如果通过全局斜坡信号发生器给各列提供斜坡基准, 在传输过程中为了增大斜坡信号的驱动能力, 一般会使用大驱动的 buffer, 但由于实际走线存在的寄生过大, 会导致在各列读取到的斜坡信号差异过大; 另外在超大面阵 CIS 中, 上万个比较器同时工作, 比较器输入端非恒定 MOS 电容会扭曲斜坡信号。这些都会直接影响各列 ADC 数字码的输出, 进而影响图像质量。

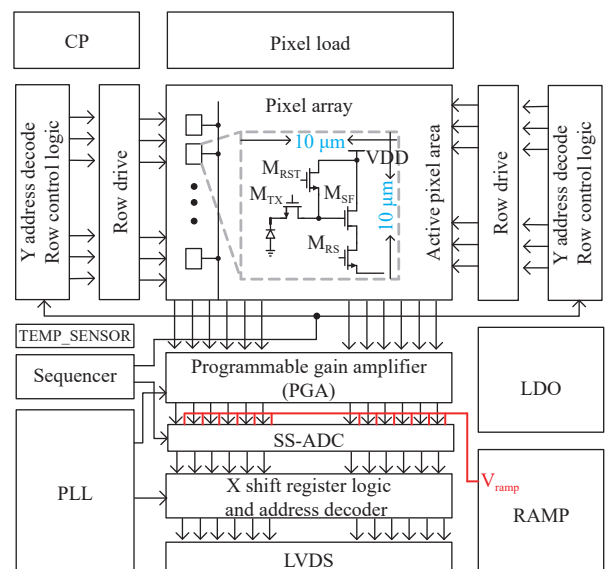


图 1 CMOS 图像传感器架构示意图

在超大面阵 CIS 下, 也可采用多个斜坡电路分

块地为各列提供斜坡信号, 虽然可以一定程度上降低走线寄生和比较器输入级非恒定电容的影响, 但各斜坡电路之间会存在天然的电路失配, 每个斜坡电路产生的斜坡就存在差异, 导致提供给各列的斜坡基准信号不一致。

## 1.1 全局斜坡不一致性影响因素分析

### 1.1.1 金属线寄生对全局斜坡不一致性的影响

在超大面阵 CIS 中, 由于全局斜坡信号实际走线存在的寄生过大, 会导致在各列读取到的斜坡信号差异过大, 这会直接影响图像质量。斜坡信号是单调变化的, 会在不同的列节点产生不同延时, 根据时间常数公式可以进行推算:

$$\tau = R_{eq}C_{eq} \quad (1)$$

式中,  $R_{eq}$  和  $C_{eq}$  分别是输出斜坡信号到各节点处的等效电阻和等效电容。

斜坡列不一致性主要是由于走线寄生引起的, 为了更好地还原走线寄生的原理, 采用分布式 RC 寄生模型, 如图 2 所示。

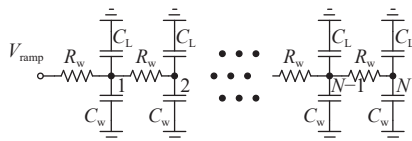


图2 金属线分布式RC寄生模型

图2中,  $R_w$  为每段金属线的等效电阻,  $C_w$  为每段金属线的等效电容,  $C_L$  为每列斜坡的等效负载电容。定义  $C=C_w+C_L$  (即  $C$  是指每段金属线的等效电容与每列斜坡的负载电容之和);  $R_{L0}$  是在金属线某一固定宽度下  $1 \mu\text{m}$  长的等效电阻;  $C_{L0}$  是指在金属线某一固定宽度下  $1 \mu\text{m}$  长的等效电容;  $L$  是指  $N$  列像素的总长度 (即用于传输斜坡信号的金属线总长度);  $N$  是指 CMOS 图像传感器中像素的列数。则根据式 (1) 可得:

$$\begin{aligned} \tau_{total}^{C=C_w+C_L} R_w C + 2R_w C + \dots + NR_w C &= \\ \left(\frac{L}{N}\right)^2 [R_{L0}C_{L0} + 2R_{L0}C_{L0} + \dots + NR_{L0}C_{L0}] + & \\ \frac{L}{N} [R_{L0}C_L + 2R_{L0}C_L + \dots + NR_{L0}C_L] = & \\ \frac{N+1}{2N} R_{L0}C_{L0}L^2 + \frac{L(N+1)}{2} R_{L0}C_L \stackrel{N \gg 1}{\approx} & \\ \frac{1}{2} R_{L0}C_{L0}L^2 + \frac{1}{2} R_{L0}C_L L(N+1) & \quad (2) \end{aligned}$$

由于各列电路的宽度恒定, 那么传输金属线的总长度  $L$  与 CMOS 图像传感器中像素的列数  $N$  之

间存在一个线性关系, 此处假设  $L=kN$  ( $k$  就是单列像素的宽度), 则式 (2) 可以改写为:

$$\begin{aligned} \tau_{total} &= \frac{1}{2} R_{L0} C_w L N + \frac{1}{2} R_{L0} C_L L (N+1) \stackrel{N \gg 1}{\approx} \\ & \frac{1}{2} R_{L0} (C_w + C_L) L N^L \stackrel{L=kN}{=} \\ & \frac{1}{2k} R_{L0} (C_w + C_L) L^2 \quad (3) \end{aligned}$$

可以从式 (3) 中观察得到总时间常数  $\tau_{total}$  与金属线的总长度  $L$  的平方近似成正比。

基于  $55 \text{ nm}$  1P4M 工艺, 像素尺寸  $10 \mu\text{m} \times 10 \mu\text{m}$ , 估算全局斜坡信号在不同阵面规模下的走线长度。根据寄生参数分析结果, 建立电路仿真模型。使用 spectre 仿真器进行 tran 仿真导出传输到不同列上的斜坡数据, 比较各斜坡之间的误差, 如图 3 所示, 是由全局斜坡电路驱动不同列数得到的误差曲线图, 由各列的仿真结果来看, 也可以得到总的误差与金属线的总长度  $L$  的平方近似成正比, 与式 (3) 得到的结论相符。

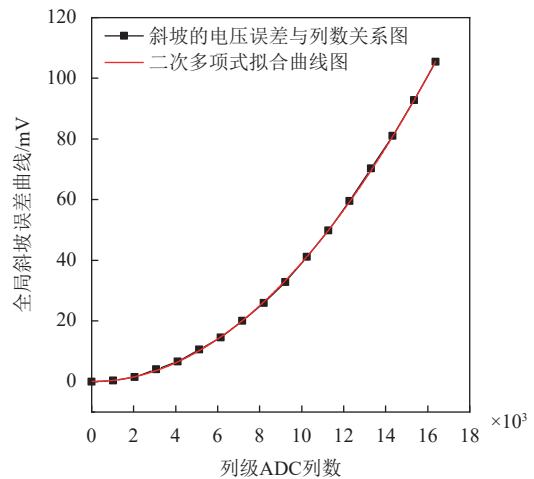


图3 全局斜坡电路驱动不同列数的误差曲线图

$8192(\text{H}) \times 8192(\text{V})$  阵列的金属线寄生模型影响仿真图, 通过对传输  $8192$  列的模型进行仿真, 得到该寄生环境下第一列与最后一列将会产生最大约  $26.14 \text{ mV}$  的电压误差, 该误差会严重影响各列量化结果的一致性。假设所有寄生参数在工作过程中都是恒定的, 那么这个误差在列与列之间属于共模的误差, 可以通过列上的数字相关双采样技术进行消除<sup>[23]</sup>。

### 1.1.2 比较器输入级 MOS 电容对全局斜坡不一致性的影响

在超大面阵 CIS 中, 上万列比较器同时工作, 就存在上万列比较器的非恒定 MOS 电容会扭曲斜

坡信号, 即图 2 等效模型中每个节点的  $C_L$  不是恒定的, 由式 (3) 可以看出等效  $\tau_{total}$  是变化的, 那么该误差就是一个变化的误差, 这个变化的误差使用数字相关双采样技术是无法消除的, 这最终使得全局斜坡信号的线性度变差。图 4 是为了验证比较器工作时栅极非恒定电容对斜坡的扭曲影响, 因此除了上述的走线模型的引入之外, 还需要在各列上加入比较器, 通过使用 spectre 仿真器进行 tran 仿真, 得出实际工作时成千上万列比较器翻转前后对各列斜坡电压信号的扭曲。比较器输入级非恒定栅电容对斜坡信号扭曲的误差曲线图如图 4 所示, 可以观测到随着面阵越来越大, 比较器输入级非恒定栅极电容对斜坡扭曲的影响越来越大, 在 16K 列的面阵下, 各列之间最大会产生约 3.8 mV 的误差, 造成约 10 个 LSB 的精度误差, 在全局斜坡的工作模式下这些误差最终都会增大各列之间的一致性噪声。

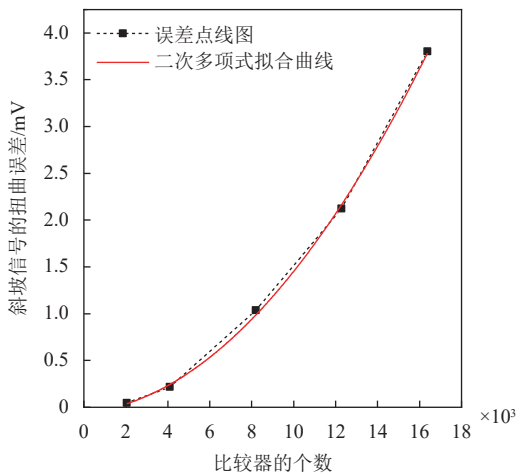


图 4 比较器输入级非恒定栅电容对斜坡信号扭曲的误差曲线图

### 1.2 分块式多斜坡不一致性影响因素分析

假设大面阵分块式多斜坡电路均采用如图 5 所示的积分型斜坡发生器电路结构, 在图中所示的工作时序下, 斜坡电压的输出信号如式 (4) 所示, 即便是各个斜坡电路在设计时保证完全一致, 由于 PVT、版图布局等方面存在差异性, 会使得充电电流  $I_{REF}$ 、积分时间  $T_{ramp}$ 、积分电容  $C_1$  在实际每个斜坡电路中并不完全相等, 并且只能尽可能增加多个斜坡电路之间的匹配性, 减小它们之间的差异性, 无法完全消除。因此如果想在超大面阵 CIS 下采用多斜坡的方式降低走线寄生和比较器输入级非恒定电容的影响, 就必须解决各斜坡电路之间匹配的问题, 包含电路自身的匹配和全局信号的匹配两方面。

$$V_{ramp} = V_H - \Delta U = V_H - \frac{Q}{C} = V_H - \frac{I_{REF} T_{ramp}}{C_1} \quad (4)$$

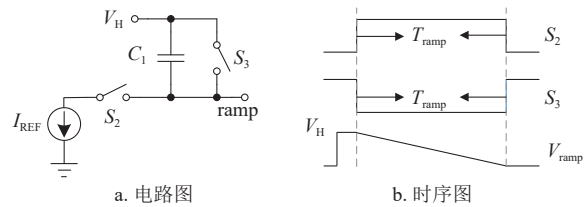


图 5 积分型斜坡发生器电路图及其工作时序

## 2 基于平均电压与压控振荡器的自适应开关电容斜坡发生器

### 2.1 分布式多斜坡电路平均电压设计

本文在  $8192 \times 8192$  的面阵规模中, 采用分布式斜坡设计就需要 8192 个斜坡电路, 将 8192 列均分成 4 个大模块, 每个大模块为 2048 个斜坡电路, 这 2048 个斜坡产生电路通过金属线互连起来, 如图 6 所示, 图中  $R_w$ 、 $C_w$  分别指各列斜坡之间金属线的寄生电阻和寄生电容。

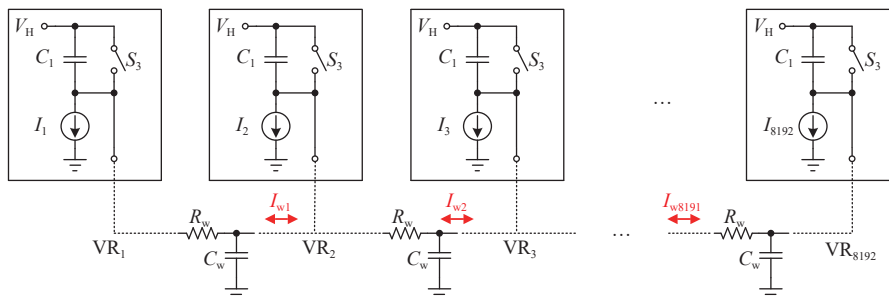


图 6 分布式多斜坡信号发生器电压平均原理图

在实际电路中, 因为电流镜之间存在失配, 各个积分电流的大小并不统一。若  $I_1$  略大于  $I_2$ , 在斜坡产生阶段, 同一时刻产生的斜坡信号  $VR_1$  就

略小于  $VR_2$ , 此时便会存在  $VR_2$  流向  $VR_1$  的电流, 在该电流的作用下, 使得  $VR_1$  与  $VR_2$  最终以平均, 趋近相等, 其他列上的平均原理也是如

此。以 2 048 个斜坡为一个大单元, 最终对这 8 192 个斜坡电路产生的斜坡信号进行分块化平均, 从而减小各列之间的差异性。另外, 该平均电压的方案可以将各列电流镜器件之间匹配, 转化为各个大单元之间的整体匹配, 这样更容易实现各列积分信号的高度一致性。

## 2.2 大面阵 CMOS 图像传感器高一一致性自适应斜坡电路

如图 7 所示是大面阵 CMOS 图像传感器高一一致性自适应斜坡电路, 主要由积分电流产生电路、斜坡信号产生电路、误差检测电路和压控振荡器这 4 个模块组成。

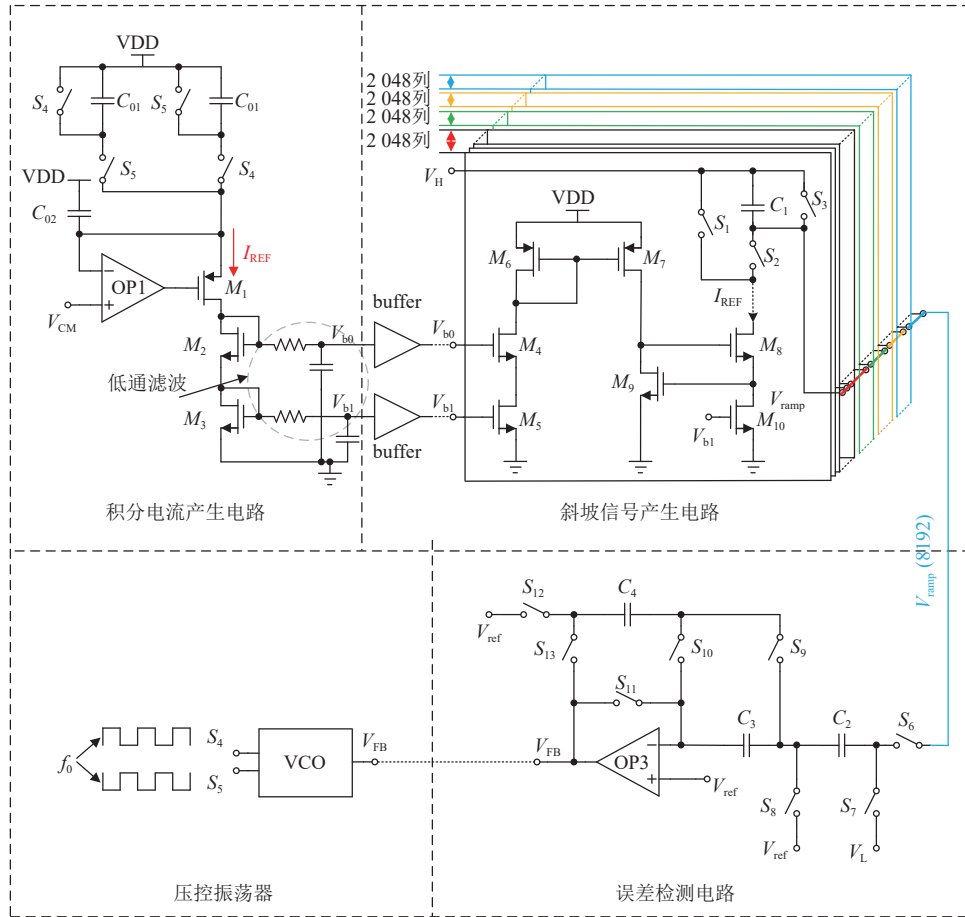


图 7 大面阵 CMOS 图像传感器高一一致性自适应斜坡电路

积分电流产生电路通过共源共栅电流镜将产生的积分电流复制给 8 192 列分布式斜坡信号产生电路, 偏置电压  $V_{b0}$ 、 $V_{b1}$  通过 buffer 来增加驱动能力。积分电流产生电路是通过采用开关电容模拟精确电阻来实现的电压-电流转换, 如图 7 所示, 它产生的电流为:

$$I_{REF} = \frac{V_{DD} - V_{CM}}{\frac{1}{f_0 C_{01}}} = (V_{DD} - V_{CM}) f_0 C_{01} \quad (5)$$

$I_{REF}$  的大小由开关  $S_4$ 、 $S_5$  的控制信号频率  $f_0$ 、共模电压  $V_{CM}$ 、电容  $C_{01}$  决定。由于开关电容的切换,  $M_1$  漏级的电压波动依旧会通过 MOS 器件的寄生电容耦合到共源共栅电流镜的栅极, 这不利于电流的稳定以及斜坡产生电路噪声性能的提高。为了

保证电流的稳定, 在共源共栅电流镜的栅极加入低通滤波器。

斜坡信号产生电路在大面阵 CMOS 的情况下, 一些全局信号想要做到完全一致是很困难的, 如斜坡起始电压  $V_H$  的驱动能力需求很大, 因此采用 4 个 buffer 分别给 8 192 列提供起始电压  $V_H$ , 考虑到各 buffer 之间的失调电压不同, 会给斜坡电路引入共模误差, 因此在设计时就需要通过数字相关双采样技术去消除该共模差异。图 7 中  $M_8$ 、 $M_9$ 、 $M_{10}$  构成调制共源共栅电流镜, 相比于普通共源共栅电流镜, 该结构具有更高的输出阻抗, 因此更有利于提高斜坡信号的线性度。误差检测电路只对最后一列斜坡电压产生电路的斜坡输出信号进行采样处理, 通过将实际斜坡的终止电压与理想斜坡的终

止电压  $V_L$  的差值反馈给  $V_{FB}$  信号,  $V_{FB}$  是图 7 中压控振荡器的输入端, 反馈后的  $V_{FB}$  控制压控振荡器产生频率为  $f_0$  的数字信号, 频率  $f_0$  通过调节所需积分电流的大小, 完成自适应调节斜坡斜率的负反馈机制。

如图 8 是自适应斜坡电路的时序图, 该时序大体上可以归纳为 4 个阶段: 复位、保持、斜坡产生和校准, 具体工作过程如下。

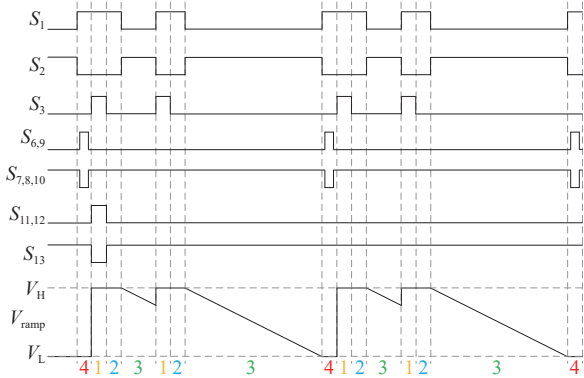


图 8 自适应斜坡电路的时序图

1) 复位阶段: 开关  $S_1$ 、 $S_3$ 、 $S_7$ 、 $S_8$ 、 $S_{10}$ 、 $S_{11}$ 、 $S_{12}$  导通,  $S_2$ 、 $S_6$ 、 $S_9$ 、 $S_{13}$  断开。电容  $C_1$  上的电荷可以表示为:

$$Q_{C1(1)} = (V_H - V_H)C_1 \quad (6)$$

电容  $C_2$  上的电荷可以表示为:

$$Q_{C2(1)} = (V_L - V_{ref})C_2 \quad (7)$$

假设误差检测电路中的运放存在  $V_{OS}$  的失调电压, 电容  $C_3$  为失调消除电容,  $C_3$  的电荷为:

$$Q_{C3(1)} = [V_{ref} - (V_{ref} - V_{OS})]C_3 = V_{OS}C_3 \quad (8)$$

电容  $C_4$  上的电荷为:

$$Q_{C4(1)} = [V_{FB(1)} - V_{ref}]C_4 \quad (9)$$

另外, 校准电路在整个工作过程中只进行一次复位, 也就是只在第一次的复位阶段进行失调存储。

2) 保持阶段: 开关  $S_1$ 、 $S_7$ 、 $S_8$ 、 $S_{10}$ 、 $S_{13}$  导通,  $S_2$ 、 $S_3$ 、 $S_6$ 、 $S_9$ 、 $S_{11}$ 、 $S_{12}$  断开。电容  $C_1$  上的电荷可以表示为:

$$Q_{C1(2)} = [V_{ref} - V_{ramp(2)}]C_1 \quad (10)$$

在保持阶段电容  $C_2$ 、 $C_3$  上的电荷与复位阶段一致。此时  $V_{FB(2)} = V_{FB(1)}$  电容  $C_4$  上的电荷为:

$$Q_{C4(2)} = [(V_{ref} - V_{OS}) - V_{FB(2)}]C_4 \quad (11)$$

3) 斜坡产生阶段: 开关  $S_2$ 、 $S_7$ 、 $S_8$ 、 $S_{10}$ 、 $S_{13}$

导通,  $S_1$ 、 $S_3$ 、 $S_6$ 、 $S_9$ 、 $S_{11}$ 、 $S_{12}$  断开。该阶段误差检测电路的开关状态与保持阶段完全一致, 电容  $C_2$ 、 $C_3$ 、 $C_4$  的电荷与保持阶段相同。该阶段产生斜坡电压信号的公式为:

$$\begin{aligned} V_{ramp} &= V_H - \Delta U = V_H - \frac{Q}{C} = \\ &= V_H - \frac{I_{REF}T_{ramp}}{C_1} = V_H - \\ &= \frac{(V_{DD} - V_{CM})f_0C_{01}T_{ramp}}{C_1} \end{aligned} \quad (12)$$

$T_{ramp}$  是斜坡产生信号对应的积分时间,  $C_1$  是积分电容, 由式 (12) 可以看出在  $T_{ramp}$  这个积分时间之内, 随着时间的推移, 电路将产生初始电平为  $V_H$  的下降斜坡。式 (12) 中  $C_{01}$  与  $C_1$  是一个相对量, 这个比值关系可以在实际工艺中比较好的保持。 $f_0$  是积分电流产生模块的开关控制信号的频率,  $f_0$  和  $T_{ramp}$  均是数字信号, 因此带来的影响也很小。

4) 校准阶段: 积分停止, 开关  $S_1$ 、 $S_6$ 、 $S_9$ 、 $S_{13}$  导通,  $S_2$ 、 $S_3$ 、 $S_7$ 、 $S_8$ 、 $S_{10}$ 、 $S_{11}$ 、 $S_{12}$  断开。斜坡产生阶段实际斜坡的终止电压  $V_{ramp(3)}$  被采样到电容  $C_2$  上, 此时电容  $C_2$  上的电荷可以表示为:

$$Q_{C2(4)} = [V_{ramp(3)} - V_{ref}]C_2 \quad (13)$$

电容  $C_3$  的电荷还是复位阶段保存的电荷:

$$Q_{C3(4)} = V_{OS}C_3 \quad (14)$$

电容  $C_4$  上的电荷为:

$$Q_{C4(4)} = [V_{ref} - V_{FB(4)}]C_4 \quad (15)$$

从斜坡产生阶段到校准阶段, 电容  $C_2$  的右极板与  $C_4$  的左极板满足电荷守恒, 则:

$$\begin{aligned} -Q_{C2(3)} + Q_{C4(3)} &= -Q_{C2(4)} + Q_{C4(4)} - \\ (V_L - V_{ref})C_2 + [(V_{ref} - V_{OS}) - V_{FB(2)}]C_4 &= \\ -[V_{ramp(3)} - V_{ref}]C_2 + [V_{ref} - V_{FB(4)}]C_4 \end{aligned} \quad (16)$$

整理得:

$$V_{FB(4)} = \frac{C_2}{C_4} [V_L - V_{ramp(3)}] + V_{FB(2)} + V_{OS} \quad (17)$$

从式 (17) 可以看出, 自适应校准电路在每个斜坡产生周期结束之后, 对斜坡实际终止输出电压采样, 并与理想斜坡的终止电压  $V_L$  作比较, 将比较的差值通过误差检测电路送到压控振荡器的输入端  $V_{FB}$ 。

### 3 仿真结果和分析

为了验证本文方法的可行性, 将基于 55 nm

1P4M 的工艺应用于一款像素面阵为 8 192 (H)×8 192(V) 的 CMOS 图像传感器, 对本文提出的分布式积分型斜坡产生电路的性能及不一致性误差校正效果进行仿真验证。

图 9 为像素面阵规模为 8 192(H)×8 192(V) 的 CMOS 图像传感器完整芯片版图布局。为了保证各个信号足够的驱动能力, 所有的全局信号均通过驱动能力增强技术来完成。而此处的斜坡信号是由如图 6 所示的分布式多斜坡信号发生器电压平均的方式产生的, 这需要给 8 192 列斜坡发生器提供较为精准的斜坡复位电压信号  $V_H$ 。版图左下方的自适应负反馈部分对应的是大面阵 CMOS 图像传感器高一一致性自适应斜坡电路的自适应电路, 该部分为各列斜坡信号发生器提供积分电流的偏置电压。整体的 CMOS 图像传感器版图如图 10 所示。

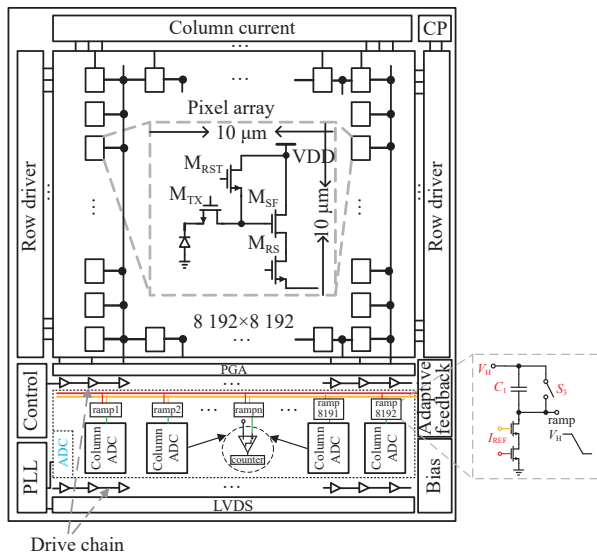


图 9 整体版图布局示意图

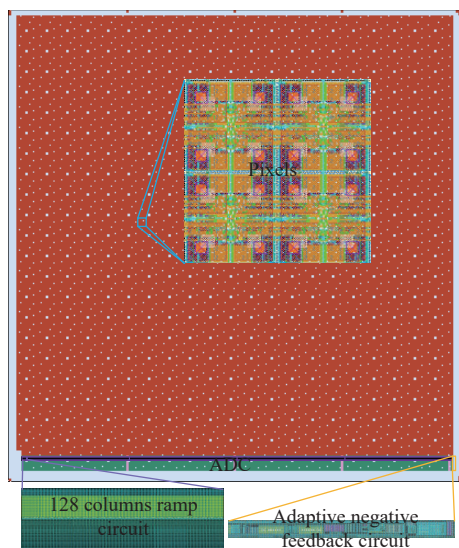


图 10 整体版图设计

由图 11 可以看出, 起初, 斜坡信号在不断的往理想斜坡的方向进行调节, 最终在 260 ms 后斜坡便达到稳定。斜坡信号的稳定时间跟采样电容  $C_2$  和反馈电容  $C_4$  的比例及斜坡信号周期有关, 如果斜坡信号周期减小, 那么相应达到稳定状态的时间就会减小。图 11 可以读出经过自适应斜坡发生器调整之后的斜坡电压在输出摆幅为 1.2~2.8 V,  $\Delta V=1.6$  V 时,  $\Delta t \approx 8.5346 \mu s$  (理想斜坡在  $\Delta V$  为 1.6 V 时,  $\Delta t=8.5333 \mu s$ ), 即该斜坡发生器已经实现了斜率自适应调整的功能。斜坡产生电路在实际使用时会选择在系统上电初始化完成后的一段时间, 这个时间足以让斜坡信号达到稳定状态, 因此实际工作时不会因为斜坡自适应校准过程的存在影响单斜式 ADC 的速度。

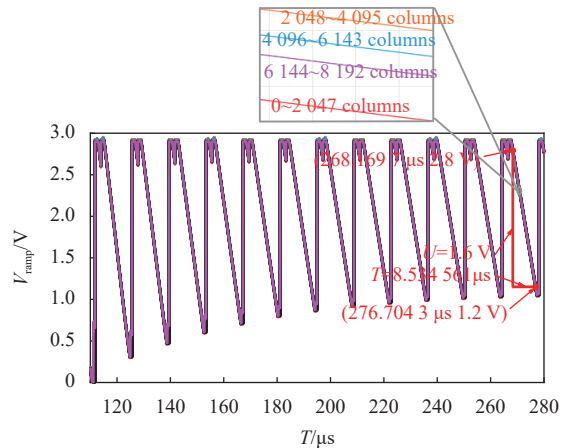


图 11 斜坡信号发生器的自适应校准波形图

如图 12 所示是各列斜坡电路所产生斜坡信号的斜率, 8 192 列斜坡信号之间存在的斜率误差仅有百万分之一, 很明显这保证了斜坡信号高度的一致性; 与理想斜坡的斜率 0.1875 V/us 之间仅存在不足 0.144‰ 的误差。

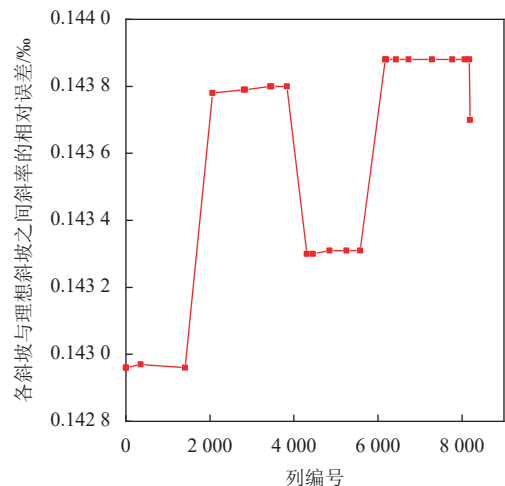


图 12 自适应斜坡发生器斜坡与理想斜坡之间斜率的相对误差

图 13 中校正前的点线图是使用低压共源共栅电路提供偏置电压对应的曲线图, 各个大模块之间产生的最大误差约 0.8 LSB。为减小此处噪声的引入, 改用普通的共源共栅电路来产生  $V_{b1}$ , 再结合调制共源共栅电流镜给各列斜坡电路复制积分电流, 进一步提高斜坡信号的线性度, 如图 13 中校正后的点线图, 使用上述方法后各个大模块之间斜坡信号不一致性降低了 99.28%, 产生的最大误差不足 0.4% LSB, 极大地提高了各斜坡之间的一致性。

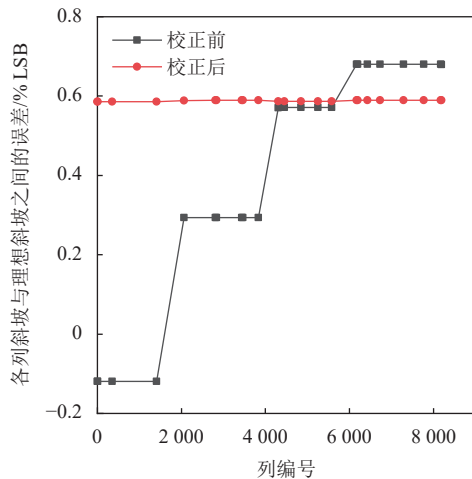


图 13 自适应斜坡发生器各列斜坡信号之间的误差图

对产生的斜坡信号进行 4 096 ( $2^{12}$ ) 点离散采样, 利用 MATLAB 软件, 对采样得到的 4 096 点数据的 DNL 和 INL 进行计算和分析, 结果如图 14 所示。为了防止出现丢码现象, DNL 的理想设计要求其值介于  $\pm 0.5\text{LSB}$  之间, 从图 14a 得到 DNL 为  $+0.000\ 636\ \text{LSB}/-0.000\ 6\ \text{LSB}$ , 满足设计要求。从图 14b 得到 INL 为  $+0.329\ 2\ \text{LSB}/-0.738\ 6\ \text{LSB}$ 。

表 1 将本文设计方法的仿真性能参数与文献 [9, 17, 20, 22] 中的实测性能参数和文献 [21] 版图仿真性能参数进行比较。虽然各文献中像素尺寸和像素分辨率存在差异, 但可以通过芯片面积的大小来衡量存在导线寄生的大小, 通过像素的列数来确定列级比较器的个数。与文献 [9, 17, 20-22] 相比, CFPN 降低了 99.8% 以上。使用传统方法时该芯片

面积为  $88\ \text{mm(H)} \times 88.5\ \text{mm(V)}$ , 垂直方向上的芯片长度为  $88.5\ \text{mm}$ , 但使用本文方法后, 会在垂直方向上额外引入约  $500\ \mu\text{m}$  的长度, 因此在整体的面积上多引入了 0.6%; 传统方法中每一列的电路大概需要消耗  $75\ \mu\text{A}$  的电流, 使用本文方法后需要在每列中额外多消耗约  $360\ \text{nA}$  的电流, 因此每列上多引入约 0.5% 的功耗。综上可说明, 本文的设计方法在超大面阵 CMOS 图像传感器的应用中, 仅通过增大 0.6% 的面积和 0.5% 的功耗, 便可较大程度地降低因各列斜坡之间的不一致而造成的 CFPN。

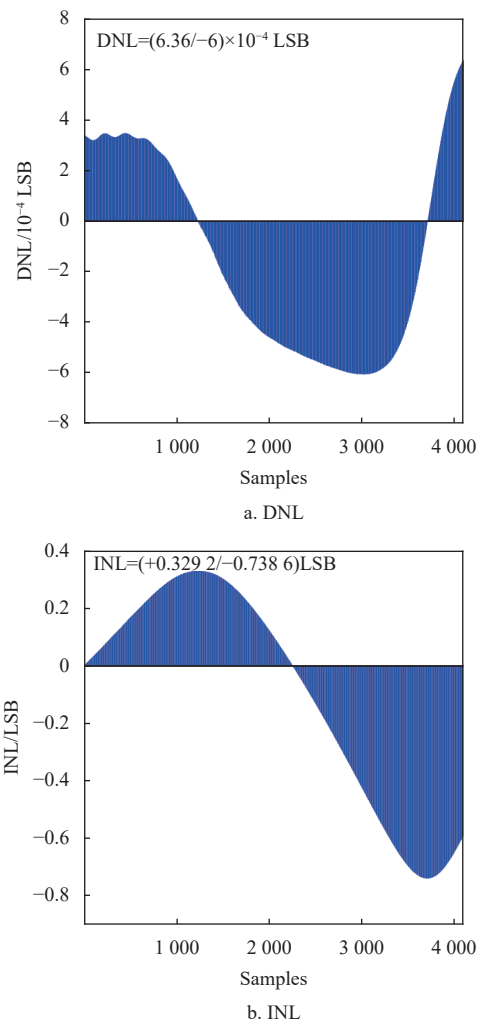


图 14 12 bit 的自适应斜坡发生器斜坡信号非线性误差图

表 1 不同斜坡产生电路之间的性能对比

性能参数	文献[9] (实测结果)	文献[17] (实测结果)	文献[20] (实测结果)	文献[21] (版图仿真)	文献[22] (实测结果)	本文 (版图仿真)
工艺	65 nm 1P4M	180 nm CMOS	130 nm 1P4M	55 nm 1P4M	65 nm CMOS	55 nm 1P4M
像素分辨率	26 456 (H)×15 072 (V)	7 920 (H)×6 004 (V)	19 712 (H)×12 752 (V)	8 192 (H)×8 192 (V)	12 000 (H)×9 000 (V)	8 192 (H)×8 192 (V)
像素尺寸/ $\mu\text{m}^2$	3.9×3.9	4.6×4.6	1.5×1.5	10×10	0.7×0.7	10×10
芯片面积/ $\text{mm}^2$	101.84 (H)×58.50 (V)	36.4 (H)×27.6 (V)	32.84 (H)×25.84 (V)	—	—	88(H)×89(V)
ADC类型	14 bits-SS ADC	12 bits-SS ADC	12 bits-SS ADC	12 bits-SS ADC	10 bits-SS ADC	12 bits-SS ADC
满阱容量	31.5k e-	14.579k e-	7.55k e-	—	—	400k e-
CFPN	0.028% (8.8e-)	0.06% (8.8e-)	0.094% (7.1e-)	0.01%	0.004 67%	0.000 037% (0.148e-)
帧率/fps	1	30	5	—	10	10

## 4 结束语

本文提出的基于分布式积分型的高一致性自适应斜坡电路设计方法,采用该方法基于 55 nm 1P4M 的工艺应用于一款像素面阵为 8 192(H)×8 192 (V) 的 CMOS 图像传感器,像素尺寸为 10 μm×10 μm,芯片面积是 88 mm(H)×89 mm(V),模数转换器是 12 bit-SS ADC,在帧率为 10 fps 的速度下,可以将列固定模式噪声降低至 0.000 037%,各列斜坡信号之间的不一致性误差小于 0.4% LSB,芯片面积和功耗仅增加了 0.6% 和 0.5%,该方法为高性能超大面阵 CMOS 图像传感器的研制提供了一定的理论指导。

### 参考文献

- [1] JIN X, GAO C, SU K R, et al. CMOS-compatible dual-column linear image sensor with a gain of 105 and dynamic range of 120 dB[J]. *IEEE Sensors Journal*, 2024, 24(6): 7681-7689.
- [2] KIM H J. 11-bit column-parallel single-slope ADC with first-step half-reference ramping scheme for high-speed CMOS image sensors[J]. *IEEE Journal of Solid-State Circuits*, 2021, 56(7): 2132-2141.
- [3] ZHANG Q H, NING N, ZHANG Z, et al. A 12-bit two-step single-slope ADC with a constant input-common-mode level resistor ramp generator[J]. *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, 2022, 30(5): 644-655.
- [4] LI H, LIU D S, LIANG Y X, et al. A 12-bit single slope ADC with multi-step structure and ramp calibration technique for image sensors[J]. *Microelectronics Journal*, 2023, 139: 105919.
- [5] GUO Z J, YU N M, WU L S. A self-compensated approach for ramp kickback noise in CMOS image sensor column parallel single slope ADC[J]. *Microelectronics Journal*, 2022, 120: 105364.
- [6] GU P, GAO J, GAO Z Y, et al. No calibration required two-step double-data-rate counter for low-power SS ADC in CMOS image sensors[J]. *Microelectronics Journal*, 2023, 136: 105798.
- [7] 李闯泽, 韩本光, 何杰, 等. 一种用于 CMOS 图像传感器的高精度抗辐射自适应斜坡产生电路设计[J]. *武汉大学学报(理学版)*, 2020, 38(2): 442-450.  
LI C Z, HAN B G, HE J, et al. Design of high speed and precision and low-power LVDS driver for CMOS image sensor[J]. *Journal of Northwestern Polytechnical University*, 2020, 38(2): 442-450.
- [8] WANG G Y, CHEN Q M, XU J T, et al. 2μs row time 12-bit column-parallel single slope ADC for high-speed CMOS image sensor[J]. *Microelectronics Journal*, 2023, 135: 105768.
- [9] BOGAERTS J, LAFAILLE R, BORREMANS M, et al. 105 × 65mm<sup>2</sup> 391Mpixel CMOS image sensor with >78dB dynamic range for airborne mapping applications[C]// *Proceedings of the IEEE International Solid-State Circuits Conference*. New York: IEEE, 2016: 114-115.
- [10] THAM K V, ULAGANATHAN C, NAMBIAR N, et al. PVT compensation for Wilkinson single-slope measurement systems[J]. *IEEE Transactions on Nuclear Science*, 2012, 59(5): 2444-2450.
- [11] KHAN S, AZEEMUDDIN S, SOHEL M A. High-speed CMOS ramp generator using proteretic comparator[C]// *Proceedings of the IEEE Asia Pacific Conference on Circuit and Systems*. New York: IEEE, 2021: 5-8.
- [12] PADASH M, YARGHOLI M, BAGHINI M S. An opamp-less PVT compensation structure for ramp generator circuit[J]. *Journal of Circuits, Systems and Computers*, 2021, 30(2): 2150032.
- [13] LI C Z, HAN B G, HE J, et al. A highly linear CMOS image sensor design based on an adaptive nonlinear ramp generator and fully differential pipeline sampling quantization with a double auto-zeroing technique[J]. *Sensors*, 2020, 20(4): 1046.
- [14] CHENG X, ZENG X Y, FENG Q. Analysis and improvement of ramp gain error in single-ramp single-slope ADCs for CMOS image sensors[J]. *Microelectronics Journal*, 2016, 58: 23-31.
- [15] HSU P H, LEE Y R, CHEN C H, et al. A low-noise area-efficient column-parallel ADC with an input triplet for a 120-dB high dynamic range CMOS image sensor[J]. *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, 2023, 31(12): 1939-1949.
- [16] MORISHITA F, SAITO W, IIZUKA Y, et al. A 30.2-μvrms horizontal streak noise 8.3-mpixel 60-frames/s CMOS image sensor with skew-relaxation ADC and on-chip testable ramp generator for surveillance camera[J]. *IEEE Journal of Solid-State Circuits*, 2022, 57(10): 3103-3113.
- [17] MEYNANTS G, BRAM W, JAN B, et al. A 47 Mpixel 36.4×27.6 mm<sup>2</sup> 30fps global shutter image sensor[C]// *International Image Sensor Workshop*. Hiroshima: IISW, 2017: 410-413.
- [18] PARK W, PIAO C X, LEE H, et al. CMOS image sensor with two-step single-slope ADCs and a detachable super capacitive DAC[J]. *IEEE Transactions on Circuits and Systems II: Express Briefs*, 2022, 69(3): 849-853.
- [19] LIN C W, LIN S F, CHEN Y W. Linearity enhancement technique of ramp generator for ADC testing[J]. *IEICE Electronics Express*, 2013, 10(9): 20130179.
- [20] TOTSUKA H, TSUBOI T, MUTO T, et al. 6.4 An APS-H-Size 250Mpixel CMOS image sensor using column single-slope ADCs with dual-gain amplifiers[C]// *Proceedings of the IEEE International Solid-State Circuits Conference*. New York: IEEE, 2016: 116-117.
- [21] XU R M, GUO Z J, LIU S Y, et al. Global ramp uniformity correction method for super-large array CMOS image sensors[J]. *Chinese Journal of Electronics*, 2024, 33(2): 415-422.
- [22] JUN J, SEO H, KWON H, et al. A 0.7 μm-pitch 108 mpixel nonacell-based CMOS image sensor with decision-feedback technique[C]// *Proceedings of the IEEE International Symposium on Circuits and Systems*. [S.l.]: IEEE, 2022: 283-287.
- [23] CHO J, CHOO H, LEE S, et al. Design of a CMOS image sensor with bi-directional gamma-corrected digital-correlated double sampling[J]. *Sensors*, 2023, 23(2): 1031.