



氮化镓基单片功率集成技术

周靖贵, 陈匡黎, 周琦*, 张波

(电子科技大学 集成电路科学与工程学院, 成都 611731)

摘要 宽禁带、高临界击穿电场和高饱和电子速度的材料优越性, 以及铝镓氮/氮化镓 (AlGa_N/Ga_N) 异质结能通过极化不连续性在其界面极化诱导出具有高浓度、高迁移率的二维电子气并制备出高电子迁移率晶体管, 使氮化镓器件正成为下一代功率和射频应用领域的新型高性能电子器件。氮化镓基单片功率集成技术是减小寄生电感影响、提升集成电路开关速度、降低系统功耗和实现系统小型化的关键技术。该文围绕氮化镓单片功率集成技术, 对 p/n 双极性沟道异质结外延结构、单片异质集成、全氮化镓集成电路和 p 沟道器件关键技术的研究进展进行了全面分析。

关键词 氮化镓; 异质结; 二维电子气; 高电子迁移率晶体管; 氮化镓单片功率集成; p 沟道

中图分类号 TN432

文献标志码 A

DOI 10.12178/1001-0548.2024225

GaN-Based Single-Chip Power Integration Technology

ZHOU Jinggui, CHEN Kuangli, ZHOU Qi*, and ZHANG Bo

(School of Integrated Circuit Science and Engineering, University of Electronic Science and Technology of China, Chengdu 611731, China)

Abstract The superior material properties with wide bandgap, large critical electric field, and high saturated electron velocity, in combination with the high density and high mobility two-dimensional electron gas induced at the AlGa_N/Ga_N heterojunction by polarization discontinuity, and thus the related high electron mobility transistors, make GaN devices become new high performance electronic devices for next-generation power and RF applications. The demand for GaN-based power devices with excellent performance in emerging technology such as electric vehicles and AI is rapidly increasing. GaN single-chip power integration technology is the key approach to reduce the influence of parasitic inductance, improve the switching speed of IC, cut down the power consumption and realize the miniaturization for the whole system. Based on GaN single-chip power integration technology, this review paper presents a comprehensive and global overview for the research progress of the reported double-heterojunction based epitaxial structure with p/n-channels, monolithic heterogeneous integration, All-GaN integrated circuits, and the core technology of p-channel devices.

Key words GaN; heterojunction; 2DEG; HEMTs; GaN single-chip power integration; p-channel

随着新能源汽车、人工智能、量子计算、5G/6G、低轨卫星等新兴科技的飞速发展, 人类活动和社会经济发展对能源的需求大幅增加, 电能作为基础核心能源, 对其高质量、高效率地利用是推动“新一轮工业革命”的关键。功率半导体芯片是“电力+算力”协同融合与应用的基础核心装置, 是提高电能使用效率、促进上述新兴产业发展与突破的关键。然而, 目前应用最广泛的硅基功率半导体芯片由于材料物理限制, 已经很难满足日益增加的“电力+算力”需求。第三代半导体氮化镓 (GaN) 凭借其宽禁带 (3.4 eV)^[1]、高临界击穿电场、高电子饱和速度等材料优越性能, 正逐渐成为

为功率半导体领域的主流材料。同时, 铝镓氮 (AlGa_N) 和氮化镓所形成的异质结由于极化不连续性可以在异质结界面形成量子阱, 并在量子阱中极化诱导出具有高迁移率、高浓度的二维电子气 (2DEG)^[2]。因此, 基于 AlGa_N/Ga_N 异质结的高电子迁移率晶体管 (HEMTs) 使氮化镓器件在高频、高效、高功率密度的功率转换系统中具有巨大潜力^[3]。此外, 氮化镓 HEMTs 在高温应用下的稳定性和抗辐照能力使其在航空航天等极端环境中也有着很好的应用前景^[4]。

电力电子应用中, 提高系统工作频率是提高系统功率密度的主要方法, 因为高频应用可降低电

收稿日期: 2024-08-15; 修回日期: 2024-09-02

基金项目: 国家自然科学基金 (62174019); 广东省基础与应用基础研究项目 (2021B1515140039, 2024A1515012139)

作者简介: 周靖贵, 博士, 主要从事功率器件可靠性方面的研究。

*通信作者 E-mail: zhouqi@uestc.edu.cn

容、电感和变压器等无源器件的体积^[5]。然而，基于分立 GaN 功率器件的电力电子系统，器件之间互联寄生效应是限制系统高频工作性能的主要瓶颈^[6-7]。为了充分发挥氮化镓器件高速开关的性能优势，能够最大限度减少寄生电感、降低系统开关损耗、提高整个系统的效率、稳健性、工作频率的全氮化镓单片功率集成技术需要被重点关注，该技术是发展高效、高功率和小型化功率变换系统的最佳技术方案之一^[8-9]。

1 氮化镓基单片功率集成外延结构与技术

横向结构的氮化镓 HEMTs 器件对实现高密度的功率集成电路 (IC) 有着固有优势。图 1 展示了当前业界商业成熟度最高、基于 p-GaN/AlGaN/GaN-on-Si 外延结构的增强型 p-GaN 栅 HEMT 单片功率集成外延结构，在该外延结构上可以实现氮化镓功率 IC 中许多所需的基本组件^[5]。p-GaN 栅中的 p 型重掺杂和 p-GaN/AlGaN 异质结界面极化感生的二维空穴气 (2DHG) 能够耗尽下方 2DEG，

进而实现增强型 N 沟道器件。其中，高压端的增强型 p-GaN 栅功率 HEMTs 在长栅漏距离的帮助下可以实现较高击穿电压，并应用于功率 IC 中，且额定电压从 100 V 以下到 650 V 的增强型 p-GaN 栅功率 HEMTs 已经商业化^[10]。然而，p-GaN 栅功率 HEMTs 不仅极容易在栅极电压振荡时发生误导通现象^[5]，还具有较窄的栅极驱动电压容限，最大栅极偏置为 6~7 V^[11-12]。因此，栅极驱动回路中的过冲电压会对栅极可靠性构成严重影响。另外，氮化镓基功率器件在高频率工作时，驱动回路中的寄生电感会导致器件栅极电压更容易振荡，从而加剧了误导通现象降低栅极可靠性^[5]。因此，利用图 1 所示低压端氮化镓基组件构成栅极驱动器，并与高压 p-GaN 栅功率 HEMTs 在同一外延结构上进行单片集成可以最小化驱动回路的寄生电感，从而抑制栅极电压振荡、避免误导通和栅极过冲电压。此外，低压氮化镓基组件还能被单片集成具有控制、检测、保护和传感等功能模块，进而被应用于功率 IC 中^[9]。

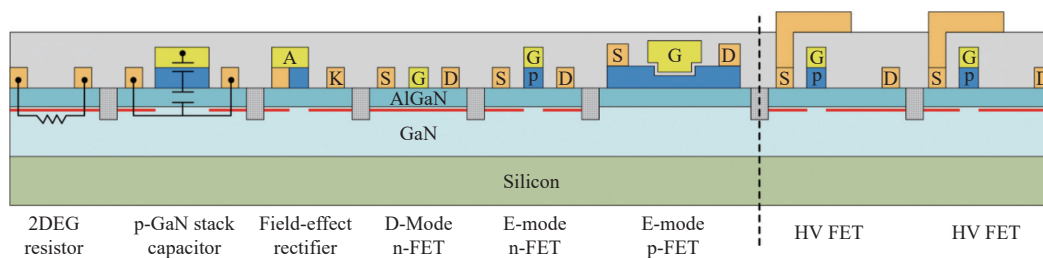


图 1 基于 p-GaN 栅 GaN HEMTs 的单片功率集成方案^[5]

图 2 展示了一种具有电荷泵组件的栅极驱动电路^[5]，由于缺乏高性能的增强型 p 沟道器件，电路中反相器由低压增强型 n 沟道场效应晶体管 (n-FETs) 和耗尽型 n-FETs 单片集成的 DCFL (直接耦合场效应晶体管逻辑) 构成。然而，如图 3 所示，增强型 p-FETs 与增强型 n-FETs 单片集成的互补金属氧化物半导体 (CMOS) 在集成电路中所展现的互补逻辑 (CL) 相比于 DCFL，可以很好地抑制系统的静态功耗，提升能源效率^[5]。此外，高电平侧开关使用高性能的氮化镓基 p-FETs 能够提升系统开关速度 (避免电平转换器中共模瞬态抗扰度 (CMTI) 问题的限制)，从而实现更高效和更高功率密度的功率转换^[13]。

然而，在目前商用增强型 p-GaN 栅功率 HEMTs 单片集成外延结构中，2DHG 沟道在 p 型重掺杂 p-

GaN 层中，杂质散射会增加 p-FETs 导通电阻、限制 CMOS 电压增益与开关速率^[14]。同时，由于 p 型掺杂有效激活率低 (1%~2%) 和常温下 2DHG 迁移率低 ($10\sim 20\text{ cm}^2/\text{V}\cdot\text{s}$)^[15]，严重限制了增强型 p-FETs 导通电流密度的大小，并远低于同一外延上的增强型 n-FETs 电流大小，使 p-FETs 需采用较大尺寸来克服电流失配，从而导致面积效率和开关速度下降^[8]。此外，氮化镓基外延结构生长时会引入背景陷阱、界面缺陷和热导率降低等问题，导致氮化镓功率器件性能面临如高泄漏电流、2DEG 迁移率降低、器件可靠性差和输出功率密度低的瓶颈^[4]。

因此，全氮化镓单片功率集成外延结构设计下一阶段的研究重点应是：1) 无裂纹、抑制陷阱效应和增强沟道载流子约束能力的高质量外延结构；

2) 良好热管理能力应用于“算力+应力”不断上升的功率 IC; 3) 同时包含 p/n 沟道, 且兼容性高, 单片集成时不需要二次外延技术; 4) 能实现对 p-/n-FETs 性能的同时提升。

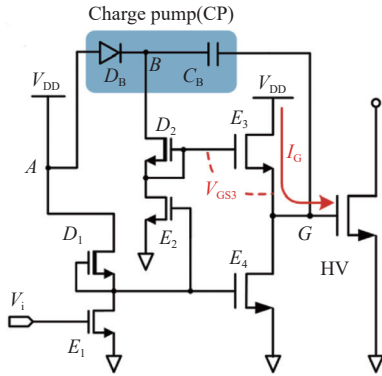


图 2 栅极驱动电路结构图

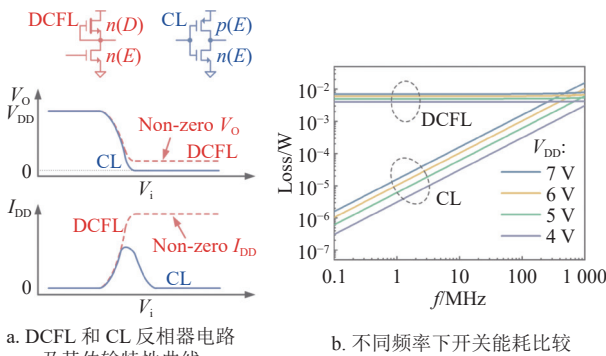


图 3 DCFL 和 CL 反相器电路与功耗比较

1.1 基于功率器件的氮化镓基外延结构

在功率器件中, 无掺杂氮化镓缓冲层会存在背景 N 型导电杂质, 会在高压下诱发电流寄生泄漏路径, 增加关断状态下的漏电。通过掺杂如碳原子的受主杂质来降低缓冲层背景施主杂质, 从而实现高阻缓冲层和低漏电, 但这种方法会产生严重的电流崩塌现象^[16]。为了提升沟道对载流子的约束, 同时抑制陷阱影响, 缓冲层掺杂技术可以结合使用 AlGa_{0.3}N 背势垒层技术^[17] 或由 AlN/GaN 对组成的超晶格 (通过交替堆叠高晶体质量的宽带隙半导体薄层, 如 AlGa_{0.3}N, AlN 或 GaN)^[18], 可以将内应力积累影响降到最低, 从而产生具有低陷阱效应影响的高绝缘缓冲层^[18]。

使用超宽带隙的铝氮 (AlN, 6.2 eV) 作为氮化镓基器件缓冲层, 不仅可以产生极大的能带偏置将 2DEG 传输路径限制在氮化镓沟道层中, 进而在功率器件中实现极低的关态漏电, 还可以利用由超

宽带隙带来的大临界击穿电场提升击穿电压^[19], 铝氮的高热导率也能有助于提升功率器件热耗散能力, 从而增加相应 IC 的输出功率密度^[20]。图 4 展示了文献 [20] 提出的一种基于铝氮缓冲层的单片功率外延结构, 该结构可以最大化 p/n 双极载流子浓度和缩短外延结构厚度, 在促进高输出功率密度、高转换频率和高效毫米波通信与高功率逻辑应用的发展中展示出巨大潜力。然而, 该单片集成外延结构由于高浓度的 p/n 双极载流子难以实现增强型器件, 再加上其中所包含的二次外延技术会增加制备成本, 尚处于理论阶段。

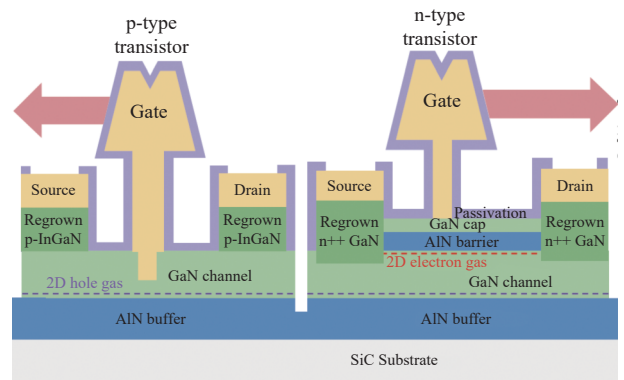


图 4 基于铝氮缓冲层的单片集成外延结构

图 5 展示了一种基于蓝宝石衬底的 100 nm 超薄铝镓氮/铝氮缓冲层高质量外延技术^[21]。该外延结构不仅能限制陷阱在外延生长中从衬底扩散进 2DEG 沟道中, 还能实现高达 2 300 V 的击穿电压以及抑制衬底偏置和串扰效应的影响^[20]。此外, 该基于蓝宝石衬底的超薄缓冲层外延技术适用于不同的上层氮化镓异质结结构, 可以在未来与不同上层异质结结构优化技术结合推进氮化镓基功率 IC 进一步发展。

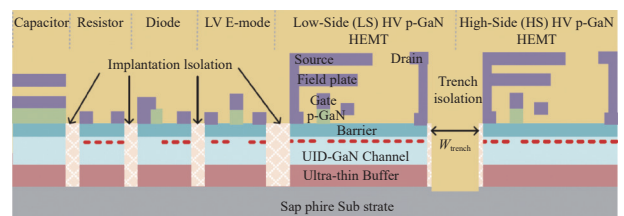


图 5 基于蓝宝石衬底和超薄缓冲层技术的单片功率集成外延结构

为了充分利用超宽带隙材料大临界电场、高导热率的优越性能, 进一步提升功率 HEMTs 在高功率射频和毫米波应用中的性能, 2021 年法国里尔大学利用 50% 高 Al 组分的铝镓氮通道层来代替传

统氮化镓通道层, 使基于 AlN/AlGa_{0.5}N/AlN 的功率 HEMTs 具有超过 4 kV 击穿电压^[22], 如图 6 所示。虽然该外延结构中产生了 $2 \times 10^{13} \text{ cm}^{-2}$ 的 2DEG 浓度, 相应电子迁移率由于铝合金散射效应增加而大幅度降低为 $150 \text{ cm}^2/\text{V}\cdot\text{s}$ 。同时, 在高 Al 组分的铝镓氮表面很难形成良好的欧姆接触, 这将导致较大的接触电阻和导通电流密度显著降低^[22]。

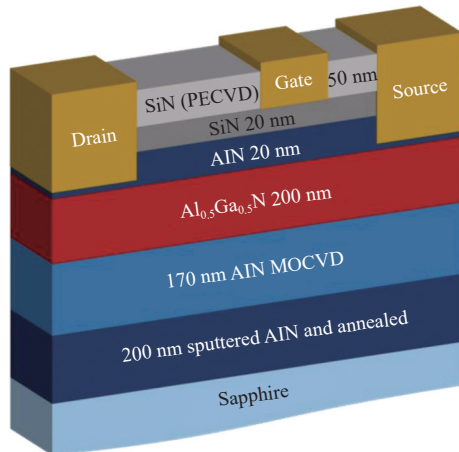


图 6 AlN/AlGa_{0.5}N/AlN HEMTs 外延结构示意图

1.2 氮化镓—硅异质集成技术

如前文所述, 常温下由于低空穴迁移率对氮化镓 p-FETs 导通性能的限制, 氮化镓基 CMOS 技术还不成熟, 同时, 氮化镓 DCFL 反相器能耗较大。因此文献 [23] 提出了一种基于硅基 CMOS 反相器与氮化镓基功率器件的单片异质集成技术, 如图 7 所示。该技术下硅基 CMOS 反相器展现了较高的噪声容限和电压增益, 氮化镓基增强型 HEMTs 也有着 $1.45 \text{ GW}/\text{cm}^2$ 优异的功率品质因素^[23], 在高频功率集成 IC 应用中有着很好的发展前景。

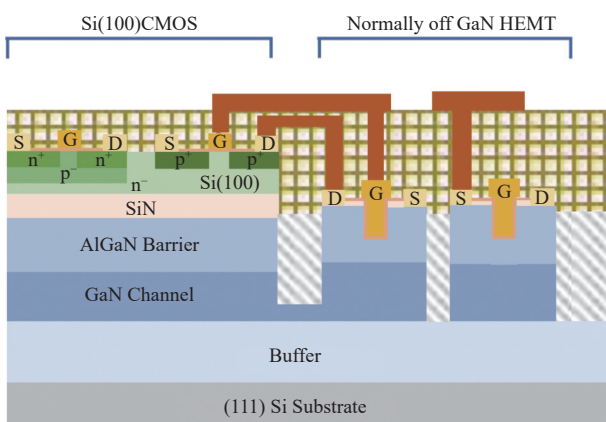


图 7 基于硅基 CMOS 和氮化镓基功率 HEMTs 的单片异质外延集成示意图

图 8 展示了通过层转移流程实现氮化镓基功率

器件与硅基 CMOS 在 300 mm 晶圆上的大规模 3D 堆叠集成技术^[24]。该技术中氮化镓和硅基 CMOS 有着同样的后端互连堆栈, 结合背面供电技术, 可实现堆叠晶体管的高密度集成和尺寸微缩^[24]。

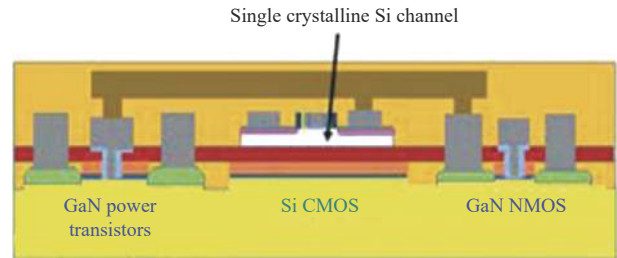


图 8 氮化镓功率器件与硅基 CMOS 单片集成结构示意图

1.3 氮化镓 p/n 双极性沟道单片集成外延结构

除去前文所述基于 p-GaN/AlGa_{0.5}N/GaN 的商用单片功率集成外延结构具有 p/n 双极载流子沟道, 并能单片集成 CMOS 反相器外^[8, 14], 文献 [25] 基于同时包含 2DEG、2DHG 沟道的 GaN/AlInGa_{0.5}N/GaN 基外延结构单片集成了 CMOS 反相器。然而该 CMOS 器件漏电严重, 逻辑电路中容易发生误翻现象。文献 [26] 利用二次外延技术在 AlGa_{0.5}N/GaN 外延上生长出基于 p-GaN/u-GaN/AlGa_{0.5}N 异质结的 p-FETs 器件, 并单片集成 CMOS。但 2DEG 迁移率只有 $300 \text{ cm}^2/\text{V}\cdot\text{s}$, 且存在增强型阈值电压趋近于 0。p-FETs 导通电阻大等问题, 导致 CMOS 器件噪声容限差, 上升时间大, 且二次外延技术大幅度增加了制备的成本和复杂性。

图 9 展示了基于 p-GaN/u-GaN/AlGa_{0.5}N/GaN 外延结构, 在无二次外延技术下单片集成的 CMOS 反相器^[27]。在 p-GaN 与 AlGa_{0.5}N 势垒层之间额外生长一层无掺杂的 u-GaN 通道层并使 2DHG 诱导于其中, 可以避免 2DHG 受重掺杂的杂质散射的影响, 进而有望实现对 p-FETs 导通电流密度和 CMOS 电压增益的提升。然而额外的 u-GaN 层增加了 p-GaN 栅到 2DEG 沟道的距离, 导致增强型 p-GaN 栅 n-FETs 栅控能力降低、阈值电压负偏移以及 CMOS 噪声容限降低和静态功耗增加。如图 10 所示, 文献 [28] 在 u-GaN 通道层和 AlGa_{0.5}N 势垒层之间再额外插入了一层 1.5 nm 的 AlN 来增加 2DHG 浓度, 同时结合 20 nm 鳍宽的自对准鳍栅技术, 实现了导通电流密度高达 $300 \text{ mA}/\text{mm}$ 的耗尽型 p-FETs 器件, 使在该同一外延结构下 n-FETs 与 p-FETs 导通电流比大幅度降低为 1.75。

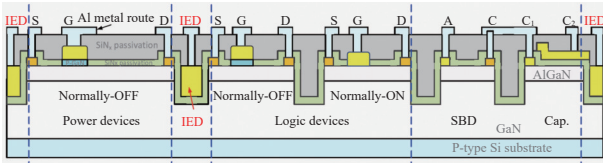


图 14 基于 IED 技术的全 GaN 单片功率集成 IC 示意图

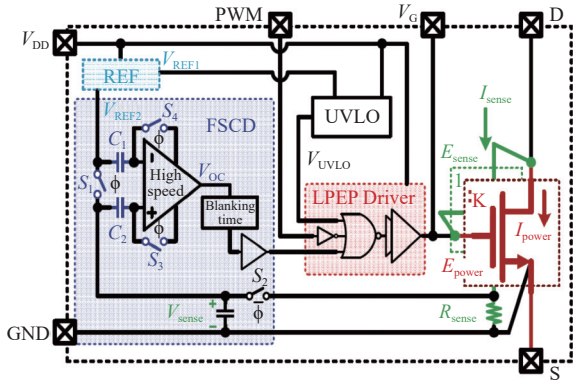


图 15 基于低功耗和增强上拉能力的全 GaN 单片集成驱动器电路示意图

2 p 沟道 GaN 器件技术发展现状

对于单片集成的逻辑控制部分, CMOS 互补逻辑电路具有低静态功耗、高噪声容限和高开关速度的优点, 在电路拓扑结构的设计上也更加灵活。但对于 GaN 而言, 受限于其材料与结构特点, 难以实现高性能的 p 沟道 GaN 晶体管 (GaN p-MISFET)。主要原因如下。

1) GaN 材料中的受主杂质 (Mg、Zn 等) 的能级位置都相对较深, 目前最常用的 Mg 杂质的能级约为 170 meV, 在室温下的有效电离率约为 1%, 且 GaN 材料生长过程中容易产生施主型 n 空位形成自补偿。目前 p-GaN 的有效空穴浓度并不高 ($10^{17} \sim 10^{18} \text{ cm}^{-3}$), 导致有源区方块电阻较大, 较低的有效空穴浓度也不利于形成低电阻欧姆接触。

2) GaN 材料中空穴有效质量较大^[34] 和低能声子散射较强^[35], 导致 GaN 材料中空穴本征迁移率非常低 (平均 $10 \text{ cm}^2/\text{V}\cdot\text{s}$)。迄今为止, 国内外实验报道 p 沟道有效空穴迁移率基本都小于 $20 \text{ cm}^2/\text{V}\cdot\text{s}$, 进一步降低了 GaN p-MISFET 的导通电流密度。

3) 目前主要通过凹槽栅技术制备增强型 GaN p-MISFET。然而, 凹槽栅刻蚀引入的晶格损伤将进一步降低沟道空穴迁移率, 极大地限制了器件的电流能力, MIS 栅结构复杂的界面态还导致了

栅控能力差与阈值回滞大等问题。

基于以上原因, 目前报道的 GaN p-MISFET 电流能力 ($<10 \text{ mA}/\text{mm}$) 远远小于主流 GaN n-HEMT 的电流能力 ($>200 \text{ mA}/\text{mm}$), 造成了 CMOS 逻辑电路设计存在严重的电流失配问题, 使得 GaN p-MISFET 面积设计值常超出 n-HEMT 面积的 10 倍以上^[14]。但从长远来看, 发展 GaN p-MISFET 对于实现高性能、高集成度的 GaN 单片集具有十分重要的意义, 因此近年来 GaN p-MISFET 成为研究热点之一, 许多代表性工作报道对上述瓶颈问题提出了针对性解决方案。

文献 [36] 提出基于 p-GaN/u-GaN/AlGaIn/GaN 异质结结构实现高浓度的 2DHG 沟道, 并通过实验测得 2DHG 浓度为 $1.1 \times 10^{13} \text{ cm}^{-2}$, 成为首次实验报道的空穴浓度超过 10^{13} cm^{-2} 的 p 型沟道, 且得益于 u-GaN 层较低的杂质散射, 空穴迁移率也达到 $16 \text{ cm}^2/\text{V}\cdot\text{s}$ 。如图 16 所示, 文献 [37] 基于以上异质结结构进一步报道了 p/n 沟道集成的实验工作, 成功实现了 CMOS 反相器功能, 其中 GaN p-MISFET 阈值电压为 -2.7 V , n-HEMT 阈值电压为 $+6.7 \text{ V}$ (凹槽栅), 但受限于较高的欧姆接触电阻 ($6 \times 10^{-2} \Omega\cdot\text{cm}^2$), GaN p-MISFET 的最大电流密度仅为 $0.01 \text{ mA}/\text{mm}$ 。文献 [38] 基于 p-GaN/u-GaN/AlGaIn/GaN 异质结结构实现了 p/n 沟道集成, 实现了 $8 \times 10^{12} \text{ cm}^{-2}$ 的 2DHG 浓度与 $11 \text{ cm}^2/\text{V}\cdot\text{s}$ 的空穴迁移率, 同时利用高浓度 Mg 掺杂的 p++型帽层 (Mg: $6 \times 10^{19} \text{ cm}^{-3}$) 实现了较低的接触电阻 ($90 \Omega\cdot\text{mm}$), 基于图 17 自对准工艺的引入实现栅槽刻蚀则大大缩短了沟道长度 (100 nm), 最终 GaN p-MISFET 的最大电流密度达 $5 \text{ mA}/\text{mm}$ ($@V_{\text{DS}}=-5 \text{ V}, V_{\text{GS}}=-7 \text{ V}$)。上述基于 p-GaN/u-GaN/AlGaIn/GaN 异质结结构实现的工作报道虽然能够实现不错的 p 沟道器件性能, 但由于 u-GaN 插入层的存在, 不能很好地兼容目前主流的增强型 p-GaN n-HEMT。

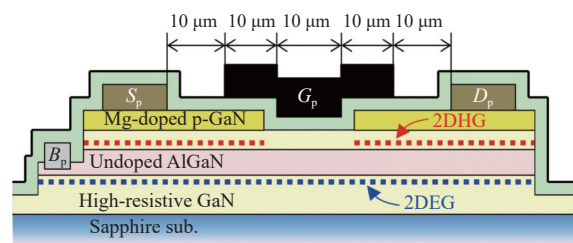


图 16 基于 p-GaN/u-GaN/AlGaIn/GaN 实现的 GaN p-MISFET

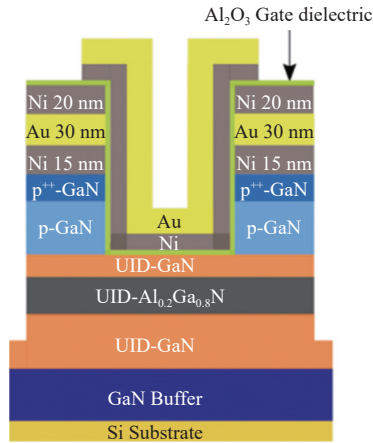


图 17 基于 p-GaN/u-GaN/AlGaIn/GaN 实现的具有自对准栅极结构的 GaN p-MISFET

为了能够完全兼容目前主流的商用增强型 p-GaN 栅功率 n-HEMT 器件结构, 可选择直接在 p-GaN/AlGaIn/GaN 或类似外延结构 (含 AlN 插入层) 上实现 GaN p-MISFET。图 18 展示了在 p-GaN/AlGaIn/GaN 外延结构上实现了反相器、锁存器、环路振荡器等基本的 CMOS 逻辑单元^[39, 8], 所有功能验证实现证明了 p-GaN /AlGaIn/GaN 异质结构在 p/n 沟道集成兼容性方面的优势。文献 [40-41] 改进了原结构中因 Al₂O₃ 栅介质中界面态导致的阈值电压回滞问题, 利用热氧化形成原位 GaON 与淀积 SiN_x 组成叠层栅介质, 进一步提高了 GaN p-MISFET 的阈值电压稳定性。图 19 展示了一种具有高空穴迁移率的增强型 GaN p-MISFET, 采用 LPCVD-SiN_x 作为凹槽栅介质, 通过控制介质层 Si/N 比, 对 P 型沟道空穴迁移率进行调制。基于该方法, 所研制的具有高 Si 组分 LPCVD - SiN_x 栅介质的增强型 GaN p-MISFET 沟道空穴有效迁移率达到了 19.4 cm²/V·s, 是目前基于 p-GaN / AlGaIn/GaN 外延结构所报道的最高沟道空穴迁移率水平^[42]。图 20 展示了基于 p-GaN/AlGaIn/GaN 外延实现的 p 沟道 GaN FinFET 器件, 其在 p 沟道界面插入了 1.5 nm 的 AlN 插入层增强极化, 实现了 2.2×10¹⁴ cm⁻² 的高浓度二维空穴, 并通过鳍栅结构耗尽 p 沟道实现增强型, 获得了 -2.2 V 的阈值电压与 18.5 mA/mm 的最大电流密度^[43]。文献 [44] 同样报道了基于具有 AlN 极化增强层的平面型 GaN p-MISFET, 并采用两级栅槽结构提升了器件的关态击穿电压。基于图 21, 文献 [45] 在相同的外延结构上采用 PEALD-AlN 栅介质插入层, 相比常规的 PECVD-SiN_x 栅介质器件, 阈值电压从 -0.5 V 提升到 -2.9 V, 阈值回滞从 1 V 降低到 0.4 V。文献 [46] 提出了一种具有背栅控制与空穴注入效应的 GaN p-MISFET, 如图 22 所示, 其利用 p-GaN /AlGaIn/GaN 外延 (带

AlN 插入层) 的寄生 2DEG 沟道作为天然背栅, 避免了 MIS 栅界面态对器件栅控能力的影响, 理论上能够实现接近 60 mV/dec 的极低亚阈值斜率, 其空穴注入效应也能够补充 p 沟道载流子, 将最大导电电流密度从 2.1 mA/mm 提升至 9.1 mA/mm。

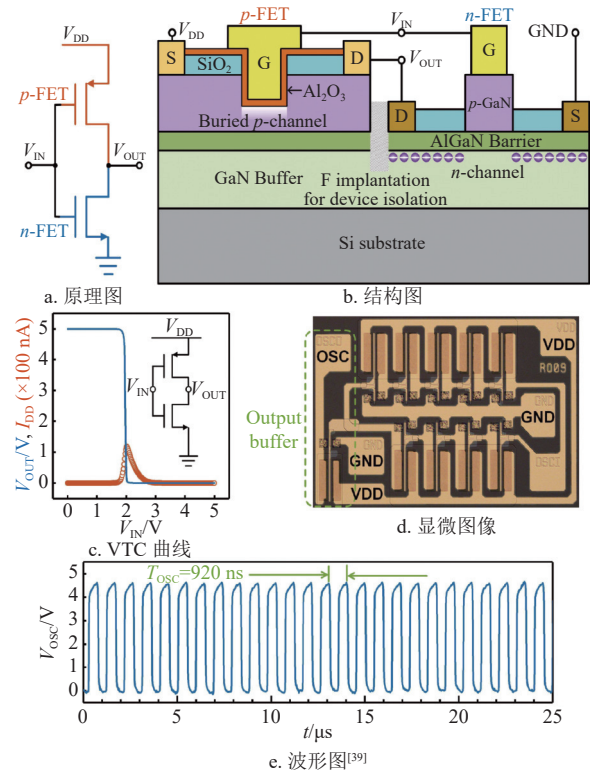


图 18 基于 p-GaN/AlGaIn/GaN 实现的 p/n 沟道集成的 CL 反相器

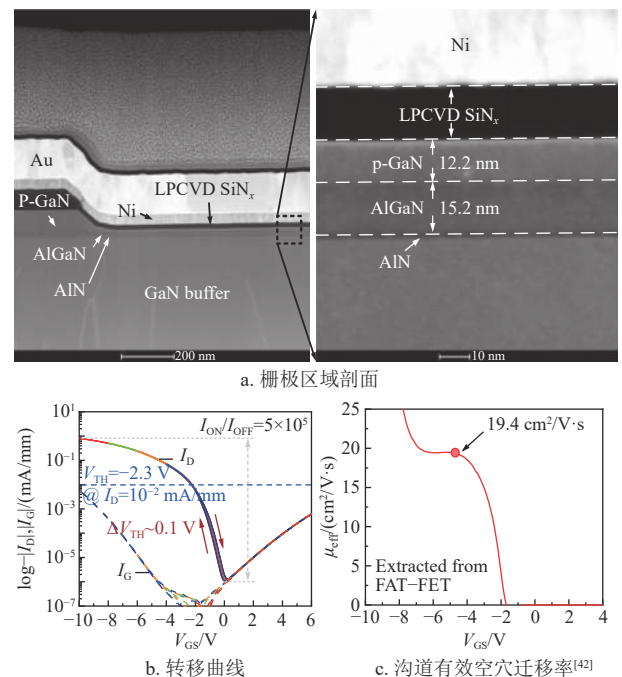


图 19 采用富硅 LPCVD-SiN_x 作栅介质的具有高空穴迁移率 GaN p-MISFET

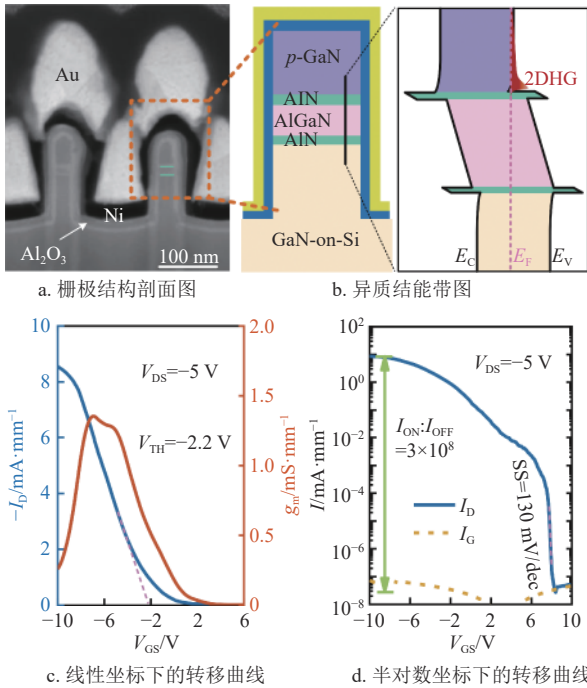


图 20 基于具有 AlN 极化增强层 p-GaN/AlGaIn/GaN 实现的 p 沟道 GaN FinFET

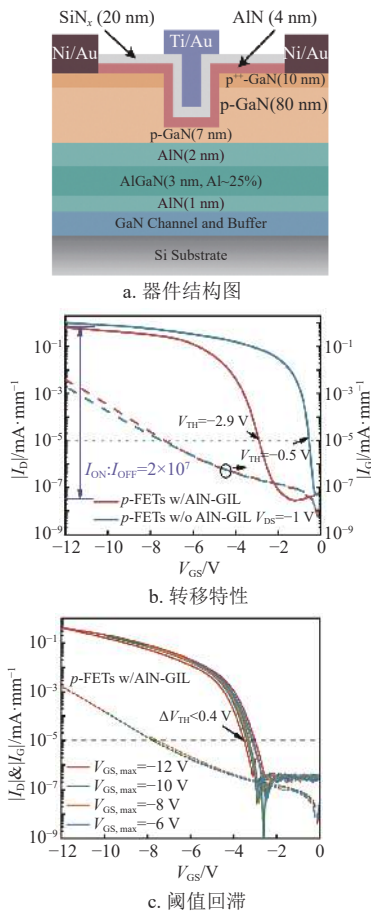


图 21 具有 PEALD-AlN 栅介质插入层的 GaN p-MISFET

关键工艺方面，p 型欧姆接触与凹槽栅界面处

理是提升 GaN p-MISFET 电流能力与栅控能力的关键，近年来也有许多报道就此提出了新的工艺方法。

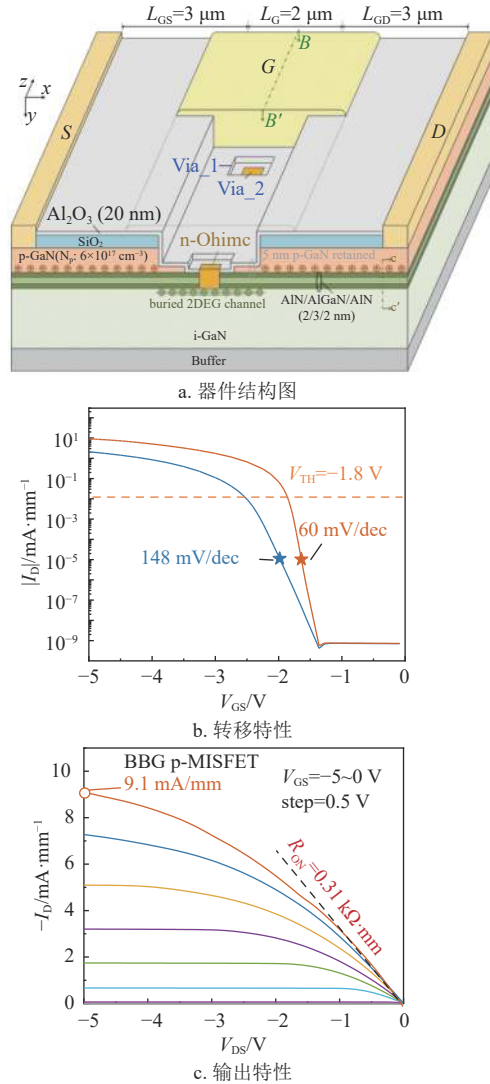


图 22 具有背栅控制与空穴注入效应的 GaN p-MISFET

关于 p 型欧姆接触，表面 p-GaN 层的有效空穴浓度与非理想势垒层是重要影响要素。基于图 23，文献 [47] 提出利用 p-InGaIn 实现 p 型欧姆，利用 InGaIn 中 Mg 的低激活能进一步提高接触区域的空穴浓度，实现了 $4.6 \Omega \cdot \text{mm}$ 的低接触电阻。文献 [48] 通过在 p-GaN 表面后生长 Mg 金属进行扩散的方式使表面 Mg 浓度超过 10^{21} cm^{-3} ，实现了 $0.5 \times 10^{-4} \sim 2.6 \times 10^{-4} \Omega \cdot \text{cm}^2$ 的极低接触电阻，如图 24 所示。文献 [49] 提出利用 Ni/Ag 作为 p 型欧姆金属，通过降低肖特基势垒实现了 $27.44 \Omega \cdot \text{mm}$ 的低接触电阻，如图 25 所示。

关于凹槽栅界面处理，可以分为两类技术路线。

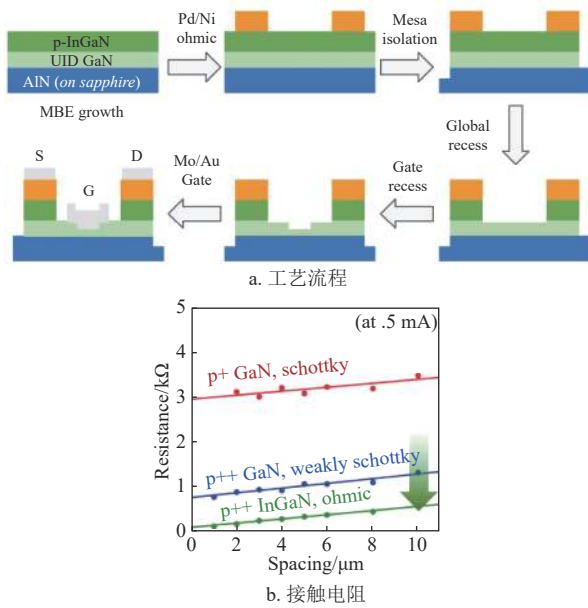


图 23 利用 InGaN 做接触层实现低接触电阻 p 型欧姆

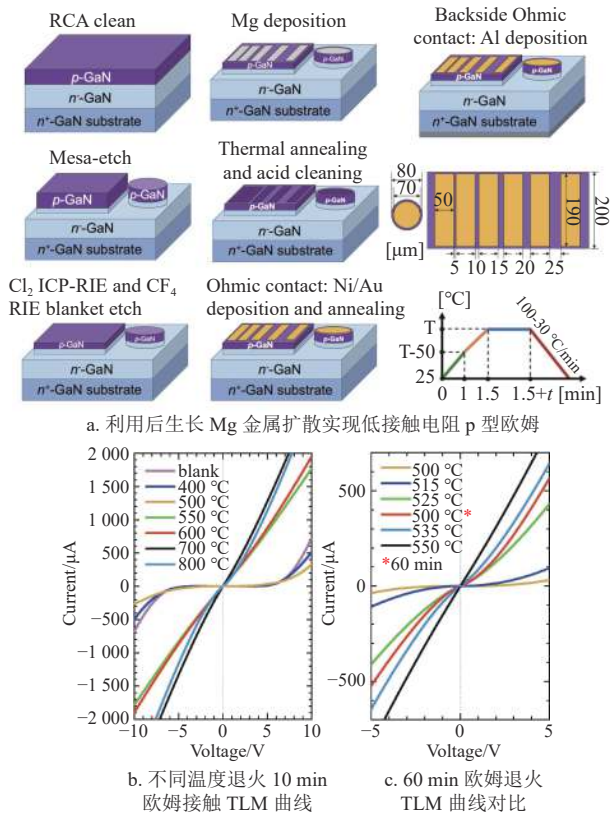


图 24 利用后生长 Mg 金属扩散实现低接触电阻 p 型欧姆和不同温度退火后的 TLM 曲线对比

第一类是通过等离子体对凹槽栅界面进行钝化处理, 减小界面附近 Mg 杂质的电离, 从而降低器件增强型实现对于栅槽刻蚀深度的依赖, 降低刻蚀损伤对沟道影响的依赖。文献 [50] 基于 p-GaN/AlGaIn/GaN 异质结外延实现了增强型 GaN p-MISFET, 提

出利用 O 等离子体处理技术钝化栅下区域的 Mg 杂质, 在栅下残余 p-GaN 厚度达 31 nm 时实现了 -1.7 V 的阈值电压, 电流开关比达到了 10^7 量级, 最大电流密度达 6.1 mA/mm, 如图 26 所示。根据图 27, 文献 [51] 基于 p-GaN/AlGaIn/GaN 异质结外延实现了增强型 GaN p-MISFET, 利用 H 等离子体处理可以在不进行凹槽栅刻蚀的情况下实现增强型, 电流开关比达 10^8 量级, 亚阈值斜率 SS 达 123 mV/dec, 但器件最大电流密度仅 0.2 mA/mm。相比之下, 目前其他工作报道想要在 p-GaN/AlGaIn/GaN 或类似外延结构上实现增强型普遍需要将栅极区域的 p-GaN 层刻蚀到剩余 15 nm 以下。第二类是通过湿法处理去除刻蚀后栅槽 p-GaN 界面的刻蚀残留物或自然氧化层, 减小栅介质沉积之后 MIS 界面的界面态影响, 从而提高器件的栅控能力, 降低器件的阈值回滞。目前报道的湿法处理包括 HCl 溶液 [52] 与 NMP 溶液 [53], 都能提高凹槽栅 GaN p-MISFET 器件的栅极控制能力。

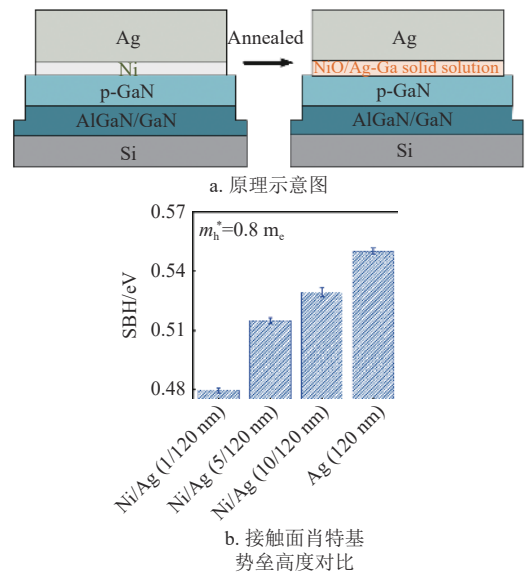


图 25 利用后生长 Mg 金属扩散实现低接触电阻 p 型欧姆

上述工作报道均是基于 p-GaN/AlGaIn/GaN 或类似外延结构上实现的 GaN p-MISFET, 该外延结构由于在势垒层上下界面同时存在二维空穴气与二维电子气, 在实现 p/n 沟道单片集成方面具有天然优势。实际上, 近年来也有许多团队从具备更高电流能力的新型外延结构出发, 研制出了具有更强电学性能的 GaN p-MISFET。图 28 中, 文献 [54] 基于 p-GaN/u-GaN/AlN 异质结结构实现了增强型 GaN p-MISFET, 得益于 GaN/AlN 提供的强极化作用, 2DHG 浓度高达 $5.3 \times 10^{13} \text{ cm}^{-2}$, 最大电流密度

约 10 mA/mm。文献 [15] 通过对比实验进一步证实了上述报道中的高浓度空穴来源于极化作用产生的 2DHG，而非 Mg 杂质电离，且通过极化作用产生的 2DHG 理想迁移率（约 $25 \text{ cm}^2/\text{V}\cdot\text{s}$ ）高于 Mg 掺杂产生空穴的理想迁移率（约 $20 \text{ cm}^2/\text{V}\cdot\text{s}$ ）。文献 [55] 提出利用 p-GaN/p-AlGaN 多沟道异质结提升最大电流密度，通过 MOCVD 生长的 GaN/AlGaN 叠层结构形成多层 2DHG 沟道，使最大电流密度达到 110 mA/mm，但由于欧姆接触的形成依赖高浓度 Mg 掺杂产生隧穿，因此该结构极难实现增强型，即使鳍栅宽度减小至 50 nm，仍难以实现增强型的器件 ($V_{\text{TH}}=7.3 \text{ V}$)。文献 [56] 在上述器件结构的基础上使用再生长的 p-GaN 形成欧姆接触，以此降低了对 GaN/AlGaN 叠层中 Mg 掺杂浓度的需求，成功实现了最大电流为 65 mA/mm、阈值电压为 -0.6 V 的增强型 GaN p-MISFET，如图 29 所示。虽然以上工作实现了更大的 p 沟道导电电流密度，但要真运用于 p/n 沟道单片集成技术，则在制造成本与性能匹配方面面临着更大的挑战。

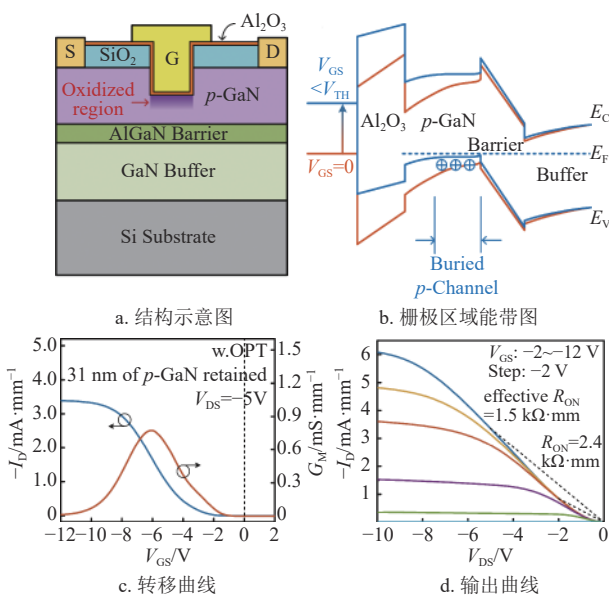


图 26 基于 O 等离子体处理实现的增强型 GaN p-MISFET

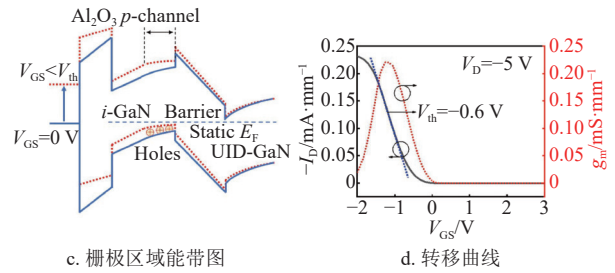
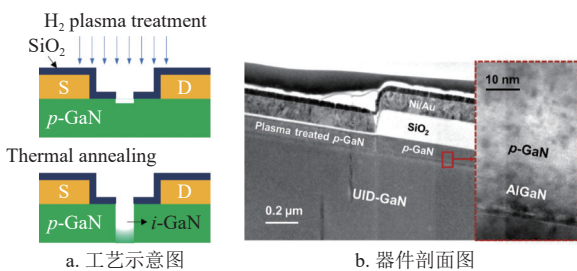


图 27 基于 H 等离子体处理的免刻蚀增强型 GaN p-MISFET

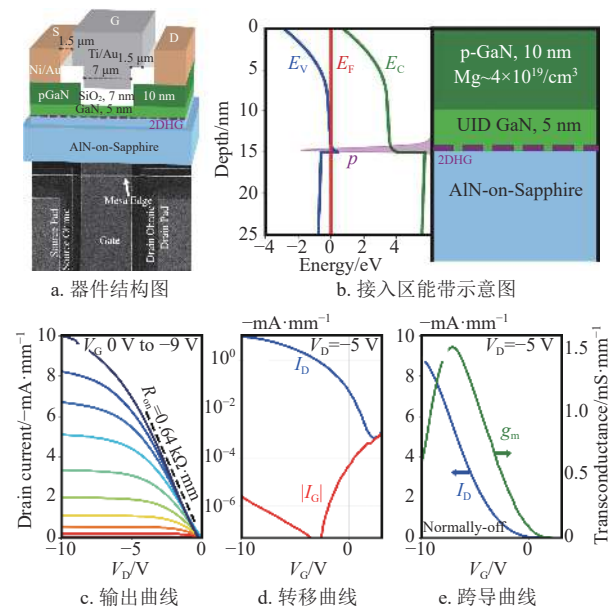


图 28 基于 p-GaN/i-GaN/AlN 实现的 GaN p-MISFET

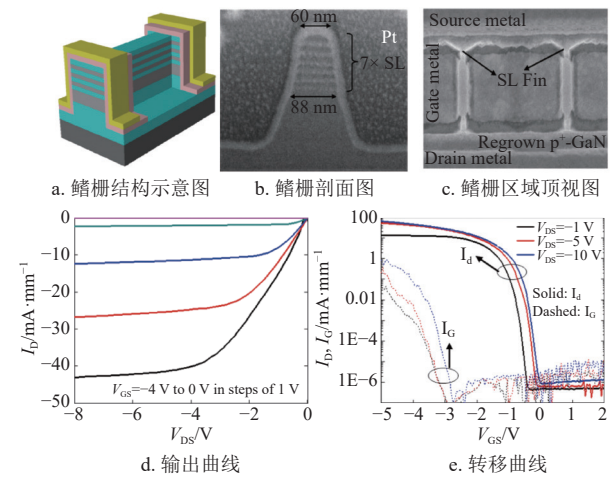


图 29 基 p 于 -GaN/p-AlGaIn 叠层实现的 p 沟道 GaN FinFET

3 结束语

本文详细介绍了全氮化镓单片功率集成外延结构下在功率器件性能提升、p/n 双沟道异质结外

延结构、单片异质集成技术、全氮化镓集成技术与电路和 p 沟道器件目前面临的瓶颈与性能提升技术。虽然全氮化镓单片功率集成技术还不够成熟, 但仍在下一代高频、高效、高功率密度的电力电子领域展示出了巨大潜力。未来发展方向应是在提升外延结构生长质量的前提下, 优化与增加氮化镓基功率 IC 在高压高频下的性能与可靠性, 以及开发在航空航天等恶劣环境下的应用与可靠性加固技术。大幅度提升 p-FETs 器件性能, 减小 p/n-FETs 电流失配度和提升性能兼容性, 并将高性能 CMOS 逻辑电路引入全氮化镓单片集成 IC 中, 是全氮化镓集成技术重要挑战和必经之路。同时, 晶体管 3D 堆叠技术和背面导电技术也会在全氮化镓集成 IC 技术变革中起到重要的作用。

参考文献

- [1] ZHANG Y H, ZUBAIR A, LIU Z H, et al. GaN FinFETs and trigate devices for power and RF applications: Review and perspective[J]. *Semiconductor Science Technology*, 2021, 36(5): 054001.
- [2] AMBACHER O, FOUTZ B, SMART J, et al. Two dimensional electron gases induced by spontaneous and piezoelectric polarization in undoped and doped AlGaIn/GaN heterostructures[J]. *Journal of Applied Physics*, 2000, 87(1): 334-344.
- [3] AMANO H, BAINES Y, BEAM E, et al. The 2018 GaN power electronics roadmap[J]. *Journal of Physics D: Applied Physics*, 2018, 51(16): 163001.
- [4] MENEGHINI M, DE SANTI C, ABID I, et al. GaN-based power devices: Physics, reliability, and perspectives[J]. *Journal of Applied Physics*, 2021, 130(18): 181101.
- [5] WEI J, ZHENG Z Y, TANG G F, et al. GaN power integration technology and its future prospects[J]. *IEEE Transactions on Electron Devices*, 2024, 71(3): 1365-1382.
- [6] REUSCH D, STRYDOM J. Understanding the effect of PCB layout on circuit performance in a high-frequency gallium-nitride-based point of load converter[C]// Proceedings of the 28th Annual IEEE Applied Power Electronics Conference and Exposition. New York: IEEE, 2013: 649-655.
- [7] WANG K P, WANG L L, YANG X, et al. A multiloop method for minimization of parasitic inductance in GaN-Based high-frequency DC-DC converter[J]. *IEEE Transactions on Power Electronics*, 2017, 32(6): 4728-4740.
- [8] ZHENG Z Y, ZHANG L, SONG W J, et al. Gallium nitride-based complementary logic integrated circuits[J]. *Nature Electronics*, 2021, 4(8): 595-603.
- [9] WEI J, TANG G F, XIE R L, et al. GaN power IC technology on p-GaN gate HEMT platform[J]. *Japanese Journal of Applied Physics*, 2020, 59: SG0801.
- [10] CHEN K J, HÄBERLEN O, LIDOW A, et al. GaN-on-Si power technology: Devices and applications[J]. *IEEE Transactions on Electron Devices*, 2017, 64(3): 779-795.
- [11] WANG C C, HUA M Y, CHEN J T, et al. E-Mode p-n junction /AlGaIn/GaN (PNJ) HEMTs[J]. *IEEE Electron Device Letters*, 2020, 41(4): 545-548.
- [12] ROSSETTO I, MENEGHINI M, HILT O, et al. Time-dependent failure of GaN-on-Si power HEMTs with p-GaN gate[J]. *IEEE Transactions on Electron Devices*, 2016, 63(6): 2334-2339.
- [13] PERREAULT D J, SULLIVAN C R, RIVAS J M, GaN in switched-mode power amplifier[M]//Integrated Circuits and Systems. Cham: Springer International Publishing, 2018: 181-223.
- [14] CHEN J B, LIU Z H, WANG H Y, et al. A GaN complementary FET inverter with excellent noise margins monolithically integrated with power gate-injection HEMTs[J]. *IEEE Transactions on Electron Devices*, 2022, 69(1): 51-56.
- [15] CHAUDHURI R, BADER S J, CHEN Z, et al. A polarization-induced 2D hole gas in undoped gallium nitride quantum wells[J]. *Science*, 2019, 365(6460): 1454-1457.
- [16] VERZELLESI G, MORASSI L, MENEGHESSO G, et al. Influence of buffer carbon doping on pulse and AC behavior of insulated-gate field-plated power AlGaIn/GaN HEMTs[J]. *IEEE Electron Device Letters*, 2014, 35(4): 443-445.
- [17] BAHAT-TREIDEL E, HILT O, BRUNNER F, et al. Punchthrough-voltage enhancement of AlGaIn/GaN HEMTs using AlGaIn double-heterojunction confinement[J]. *IEEE Transactions on Electron Devices*, 2008, 55(12): 3354-3359.
- [18] KABOUCHE R, ABID I, PUSCHE R, et al. Low on-resistance and low trapping effects in 1200 V superlattice GaN-on-silicon heterostructures[J]. *Physica Status Solidi Applied Research*, 2020, 217(7): 1900687.
- [19] KIM J G, CHO C, KIM E, et al. High breakdown voltage and low-current dispersion in AlGaIn/GaN HEMTs with high-quality AlN buffer layer[J]. *IEEE Transactions on Electron Devices*, 2021, 68(4): 1513-1517.
- [20] HICKMAN A L, CHAUDHURI R, BADER S J, et al. Next generation electronics on the ultrawide-bandgap aluminum nitride platform[J]. *Semiconductor Science Technology*, 2021, 36(4): 044001.
- [21] LI S, MA Y F, LU W H, et al. 1200V E-mode GaN monolithic integration platform on sapphire with ultra-thin buffer technology[C]//Proceedings of the International Electron Devices Meeting. New York: IEEE, 2023: 1-4.
- [22] ABID I, MEHTA J, CORDIER Y, et al. AlGaIn channel high electron mobility transistors with regrown ohmic

- contacts[J]. *Electronics*, 2021, 10(6): 635.
- [23] FAN Y T, LIU X, ZHANG W H, et al. Monolithic heterogeneous integration of Si(100)/GaN CMOS inverters and normally-off GaN power devices for high switching frequency and high power applications[C]// Proceedings of the 36th International Symposium on Power Semiconductor Devices and ICs. New York: IEEE, 2024: 267-270.
- [24] THEN H W, RADOSAVLJEVIC M, BADER S, et al. DrGaN: An integrated CMOS driver-GaN power switch technology on 300 mm GaN-on-Si with E-mode GaN MOSHEMT and 3D monolithic Si PMOS[C]// Proceedings of the International Electron Devices Meeting. San Francisco: IEEE, 2023: 1-4.
- [25] HAHN H, REUTERS B, KOTZEA S, et al. First monolithic integration of GaN-based enhancement mode n-channel and p-channel heterostructure field effect transistors[C]// Proceedings of the 72nd Device Research Conference. California: IEEE, 2014: 259-260.
- [26] CHU R M, CAO Y, CHEN M, et al. An experimental demonstration of GaN CMOS technology[J]. *IEEE Electron Device Letters*, 2016, 37(3): 269-271.
- [27] CHOWDHURY N, XIE Q Y, YUAN M Y, et al. Regrowth-free GaN-based complementary logic on a Si substrate[J]. *IEEE Electron Device Letters*, 2020, 41(6): 820-823.
- [28] XIE Q Y, YUAN M Y, NIROULA J, et al. Highly scaled GaN complementary technology on a silicon substrate[J]. *IEEE Transactions on Electron Devices*, 2023, 70(4): 2121-2128.
- [29] ZHOU J G, DO H B, DE SOUZA M M. Impact of an underlying 2DEG on the performance of a p-Channel MOSFET in GaN[J]. *ACS Applied Electronic Materials*, 2023, 5(6): 3309-3315.
- [30] ZHOU J G, DO H B, DE SOUZA M M. A new back-to-back graded AlGaIn barrier for complementary integration technique based on GaN/AlGaIn/GaN platform[C]// Proceedings of the 7th IEEE Electron Devices Technology & Manufacturing Conference. Seoul: IEEE, 2023: 1-3.
- [31] SUN R Z, LIANG Y C, YEO Y C, et al. All-GaN power integration: Devices to functional subcircuits and converter ICs[J]. *IEEE Journal of Emerging and Selected Topics in Power Electronics*, 2020, 8(1): 31-41.
- [32] SUN R Z, LAI J X, CHEN W J, et al. Crosstalk suppression in monolithic GaN devices based on inverted E-field decoupling[J]. *IEEE Transactions on Electron Devices*, 2021, 68(4): 1542-1549.
- [33] ZHUANG C W, MING X, YE Z K, et al. An integrated low-power enhanced pull-up GaN driver using senseHEMT for reliable and fast short-circuit protection[C]// Proceedings of the 36th International Symposium on Power Semiconductor Devices and ICs. Bremen: IEEE, 2024: 351-354.
- [34] SUZUKI M, UENOYAMA T, YANASE A. First principles calculations of effective mass parameters of AlN and GaN[J]. *Physical Review B, Condensed Matter*, 1995, 52(11): 8132-8139.
- [35] PONCÉ S, JENA D, GIUSTINO F, et al. Route to high hole mobility in GaN via reversal of crystal-field splitting[J]. *Physical Review Letters*, 2019, 123(9): 096602.
- [36] NAKAJIMA A, SUMIDA Y, DHYANI M H, et al. High density two-dimensional hole Gas induced by negative polarization at GaN/AlGaIn heterointerface[J]. *Applied Physics Express*, 2010, 3(12): 121004.
- [37] NAKAJIMA A, KUBOTA S, TSUTSUI K, et al. GaN-based complementary metal-oxide-semiconductor inverter with normally off Pch and Nch MOSFETs fabricated using polarisation-induced holes and electron channels[J]. *IET Power Electronics*, 2018, 11(4): 689-694.
- [38] CHOWDHURY N, XIE Q Y, YUAN M Y, et al. First demonstration of a self-aligned GaN p-FET[C]// Proceedings of the IEEE International Electron Devices Meeting (IEDM). New York, 2019: 4.6.1-4.6.4.
- [39] ZHENG Z Y, SONG W J, ZHANG L, et al. Monolithically integrated GaN ring oscillator based on high-performance complementary logic inverters[J]. *IEEE Electron Device Letters*, 2021, 42(1): 26-29.
- [40] ZHENG Z Y, ZHANG L, SONG W J, et al. Threshold voltage instability of enhancement-mode GaN buried p-channel MOSFETs[J]. *IEEE Electron Device Letters*, 2021, 42(11): 1584-1587.
- [41] ZHANG L, ZHENG Z Y, CHENG Y, et al. SiN/in-situ-GaN staggered gate stack on p-GaN for enhanced stability in buried-channel GaN p-FETs[C]// Proceedings of the IEEE International Electron Devices Meeting (IEDM). New York: IEEE, 2021: 5.3.1-5.3.4.
- [42] ZHU L Y, CHEN K L, MA Y, et al. High threshold voltage enhancement-mode GaN p-FET with Si-rich LPCVD SiN_x gate insulator for high hole mobility[J]. *Journal of Semiconductors*, 2023, 44(8): 082801.
- [43] DU H H, LIU Z H, HAO L, et al. High-performance E-mode p-channel GaN FinFET on silicon substrate with high ION/IOFF and high threshold voltage[J]. *IEEE Electron Device Letters*, 2022, 43(5): 705-708.
- [44] JIN H, JIANG Q M, HUANG S, et al. An enhancement-mode GaN p-FET with improved breakdown voltage[J]. *IEEE Electron Device Letters*, 2022, 43(8): 1191-1194.
- [45] WANG L, HUANG S, JIANG Q M, et al. High threshold voltage stability enhancement-mode GaN p-FETs fabricated with PEALD-AlN gate interfacial layer[J]. *IEEE Electron Device Letters*, 2024, 45(3): 320-323.
- [46] CHEN K L, HUANG S T, WANG H C, et al. A novel E-mode GaN p-MISFET with hole compensation effect achieving high drain current and ultra-low subthreshold slope[C]// Proceedings of the 36th International Symposium on Power Semiconductor Devices and ICs (ISPSD). New York: IEEE, 2024: 315-318.

- [47] BADER S J, CHAUDHURI R, HICKMAN A, et al. GaN/AlN Schottky-gate p-channel HFETs with InGaN contacts and 100 mA/mm on-current[C]//Proceedings of the IEEE International Electron Devices Meeting. New York: IEEE, 2019: 4.5.1-4.5.4.
- [48] WANG J, LU S, CAI W T, et al. Ohmic contact to p-type GaN enabled by post-growth diffusion of magnesium[J]. *IEEE Electron Device Letters*, 2022, 43(1): 150-153.
- [49] ZHANG Y L, SUN Z W, WANG W S, et al. Low-resistance Ni/Ag contacts on GaN-based p-channel heterojunction field-effect transistor[J]. *IEEE Transactions on Electron Devices*, 2023, 70(1): 31-35.
- [50] ZHENG Z Y, SONG W J, ZHANG L, et al. High I_{ON} and $I_{ON/OFF}$ Ratio Enhancement-Mode Buried p-Channel GaN MOSFETs on p-GaN Gate Power HEMT Platform[J]. *IEEE Electron Device Letters*, 2020, 41(1): 26-29.
- [51] YANG C, FU H Q, PERI P, et al. Enhancement-mode gate-recess-free GaN-based p-channel heterojunction field-effect transistor with ultra-low subthreshold swing[J]. *IEEE Electron Device Letters*, 2021, 42(8): 1128-1131.
- [52] YIN Y D, LEE K B. High-performance enhancement-mode p-channel GaN MISFETs with steep subthreshold swing[J]. *IEEE Electron Device Letters*, 2022, 43(4): 533-536.
- [53] LI T, ZHANG M, YU J J, et al. Development of enhancement-mode GaN p-FET with post-etch wet treatment on p-GaN gate HEMT Epi-wafer[J]. *IEEE Transactions on Electron Devices*, 2024, 71(4): 2361-2365.
- [54] BADER S J, CHAUDHURI R, NOMOTO K, et al. Gate-recessed E-mode p-channel HFET with high on-current based on GaN/AlN 2D hole gas[J]. *IEEE Electron Device Letters*, 2018, 39(12): 1848-1851.
- [55] RAJ A, KRISHNA A, HATUI N, et al. Demonstration of a GaN/AlGaIn superlattice-based p-channel FinFET with high on-current[J]. *IEEE Electron Device Letters*, 2020, 41(2): 220-223.
- [56] RAJ A, KRISHNA A, HATUI N, et al. GaN/AlGaIn superlattice based E-mode p-channel MES-FinFET with regrown contacts and >50 mA/mm on-current[C]// Proceedings of the IEEE International Electron Devices Meeting (IEDM). New York: IEEE, 2021: 5.4.1-5.4.4.

编辑 叶芳