

引用格式: 周晓丹, 苏晨, 刘涛, 等. 一种抗辐射 16 位 25 MS/s 流水线 ADC[J]. 电子科技大学学报, 2025, 54(1): 1-7.

ZHOU X D, SU C, LIU T, et al. A radiation hardened 16-Bit 25 MS/s pipeline ADC[J]. Journal of University of Electronic Science and Technology of China, 2025, 54(1): 1-7.



一种抗辐射 16 位 25 MS/s 流水线 ADC

周晓丹^{1,2*}, 苏晨², 刘涛², 付东兵², 王健安², 陈光炳²,
李强¹, 刘杰³, 郭刚⁴

(1. 电子科技大学 集成电路科学与工程学院, 成都 610054; 2. 吉芯科技有限公司, 重庆 401332;
3. 中国科学院 近代物理研究所, 兰州 730000; 4. 中国原子能科学研究院, 北京 102413)

摘要: 设计了一款抗辐射 16 位 25 MS/s 流水线型模数转换器 (ADC)。根据电容失配等因素确定了第一级 4 位的流水线结构, 并设计了改进的自举开关来提高采样线性度。为了降低系统功耗, 设计了一种开关电容动态偏置电路, 通过减小放大器的平均电流来降低 ADC 的系统功耗。为了满足抗辐射的要求, 针对电离总剂量效应和单粒子门锁效应的机理, 对电路进行抗辐射加固设计。该款抗辐射 ADC 在 0.18 μm CMOS 工艺上进行制造, 转换器的芯片面积为 2.5 mm^2 , 经过辐射试验后, 在采样率 25 MHz、1.8 V 电源电压和 30.1 MHz 正弦输入的条件下, ADC 的信噪比 (SNR) 达到了 76.7 dBFS, 无杂散动态范围 (SFDR) 为 95.1 dBFS, 功耗为 38.76 mW, 抗辐射能力达到电离总剂量 100 Krad (Si) 和单粒子门锁阈值 75 $\text{MeV}\cdot\text{cm}^2/\text{mg}$, 可满足空间环境的使用要求。

关键词: 模数转换器; 流水线; 信噪比; 无杂散动态范围; 抗辐射

中图分类号: TN492

文献标志码: A

DOI: 10.12178/1001-0548.2023371

A radiation hardened 16-Bit 25 MS/s pipeline ADC

ZHOU Xiaodan^{1,2*}, SU Chen², LIU Tao², FU Dongbing², WANG Jianan², CHEN Guangbing²,
LI Qiang¹, LIU Jie³, and GUO Gang⁴

(1. School of Integrated Circuit Science and Engineering, University of Electronic Science and Technology of China, Chengdu 610054, China;

2. Giga Chip Technology Co., Ltd., Chongqing 401332, China; 3. Institute of Modern Physics of Chinese Academy of Sciences, Lanzhou 730000, China;

4. China Institute of Atomic Energy, Beijing 102413, China)

Abstract: A radiation hardened 16-bit 25 MS/s pipeline analog-to-digital (ADC) is designed. The architecture of pipeline with 4-bit first stage has been determined based on the consideration of nonideality such as capacitor mismatch and so on, and a novel bootstrapped switch is designed to improve the linearity. A switched-capacitor dynamic bias is proposed to lower the power consumption of the ADC by reducing the average current of amplifier. To meet the requirement of radiation hardness, a radiation hardened reinforcement design of the circuit is implemented according to the mechanism of total ionizing dose and single-event latch-up. This radiation hardened ADC is fabricated in 0.18 μm CMOS process and has area of 2.5 mm^2 . After irradiation and with the 25 MHz sampling rate, 1.8 V power supply and 30.1 MHz sine input, the ADC achieves SNR (signal noise ratio) of 76.7 dBFS, SFDR (spurious-free dynamic range) of 95.1 dBFS, power consumption of 38.6 mW, while the ability of radiation hardness for total ionizing dose is 100 Krad(Si) and the threshold of single-event latch-up is 75 $\text{MeV}\cdot\text{cm}^2/\text{mg}$, which is suitable for space applications.

Key words: ADC; pipeline; SNR; SFDR; radiation hardness

高速、高精度流水线模数转换器一直都是通信、导航以及仪器仪表等系统中的核心器件, 其性噪比、动态范围和功耗都对系统指标的实现有很大的影响^[1-2]。随着系统对小型化、高性能、低功耗和

低成本的要求越来越高, 对转换器的性能和成本也提出了更高的要求。

运算放大器 (op-amp) 作为流水线 ADC 中最关键的单元, 直接决定了系统可实现的性噪比、无

收稿日期: 2023-10-31

基金项目: 模拟集成电路国家级重点实验室基金 (6142802010101)

作者简介: 周晓丹, 高级工程师, 主要从事高速高精度 A/D 转换器、D/A 转换器方面的研究。

*通信作者 E-mail: urian@foxmail.com

杂散动态范围等技术指标的上限。然而，高性能运算放大器的功耗一般都很大，如高线性度的采样保持放大器（SHA），其功耗一般会占到接近 ADC 总功耗的一半，因此，在保证精度的基础上降低运算放大器的功耗，能有效降低 ADC 的整体功耗。

降低运算放大器功耗的技术途径有两种，一种是直接去掉前端采样保持电路的无采保结构^[3-4]，由于采样保持电路功耗一般最大，因此去掉此电路后可以极大地降低系统功耗。然而，由于依然需要进行采样操作，因此采样操作被分布到了第一级中的子 ADC 和乘法型数模转换器（multiplying digital-to-analog converter, MDAC）中独立进行。但是由于两者采样网络需要尽量匹配，才能降低采样的孔径误差，否则，孔径误差过大则会消耗掉数字校正范围，变相增加比较器的设计难度。另一种降低运算放大器功耗的方法是运放共享技术^[5-6]，在 SHA 和流水线第一级之间或者流水线连续两级之间共享一个运算放大器，可以减小放大器的数量，从而降低系统功耗。然而，由于不同模块中放大器的负载和反馈系数都各不相同，因此在共享使用时，其带宽和补偿设计都有较大难度，并且，为了消除运放共享带来的记忆效应，也需要额外的控制电路，又在一定程度上增加了功耗和面积。所以，为了降低 ADC 的功耗而尽量不引入额外的误差来源，同时又保证较高的信噪比和无杂散动态范围等技术指标，仍然是有相当大的技术难度和现实意义。

此外，随着近年来北斗短报文、卫星通话等应用的逐渐普及，卫星系统的需求也大增，因此对可长期工作于空间环境的 ADC 需求也越来越大。对于此类 ADC，在要求高速、高精度和低功耗的基础上，还需要其有抗电离总剂量效应（total ionizing dose, TID）^[7] 和单粒子闩锁效应（single event latch-up, SEL）^[8] 的能力，才能在充满辐射的空间环境中长期可靠的工作。

为了解决流水线 ADC 低功耗的技术难题，同时满足抗辐射的要求，本文基于 0.18 μm 1P6M CMOS 工艺设计了一款 16 位 25 MS/s 的抗辐射流水线 ADC，通过提出的放大器动态偏置技术可极大降低 ADC 的功耗，并采用抗辐射加固技术来实现抗辐射的能力。

1 ADC 结构

流水线 ADC 是由多个低分辨率的单级串联组成，每级都在两相不交叠时钟控制下同时工作，当前一级进行采样操作时，后一级就进行放大操作，反之亦然，因此流水线 ADC 的转换速率只受限于单级的速度，而流水线单级由于分辨的位数较少，可以实现较高的转换速率，使得流水线 ADC 在速度上具有天然的优势。并且，流水线每一级的分辨率可以根据应用需求进行选取，具有很大的设计灵活性，使得流水线 ADC 并没有一个统一的结构。

流水线 ADC 第 1 级作为最关键的一级，其线性度需要满足 ADC 的整体精度，而通常制约第 1 级线性度最重要的因素是 MDAC 中的电容阵列匹配度。假设微分非线性误差（differential non-linearity, DNL）仅由电容失配引起，则 DNL 为^[9]：

$$\text{DNL} = \frac{k \cdot 2^N - \frac{m}{2}}{\sqrt{C_{\text{total}}}} \quad (1)$$

式中， k 是与工艺相关的电容失配系数； N 为 ADC 分辨率； m 为第 1 级分辨率； C_{total} 为 MDAC 中电容阵列的总电容。从式 (1) 可以看到，增加第 1 级的分辨率，可降低线性误差。并且，使用多位分辨率，可以降低流水线的级数，也能降低对后级精度的要求，因为后级的误差等效到模拟输入时，会除以与输入之间的级间增益^[10]。因此，第 1 级使用多位分辨率，可以降低对电容失配的要求，在无校准的情况下就可以达到 14 位的精度^[11]。综上所述，本文的 ADC 结构如图 1 所示。

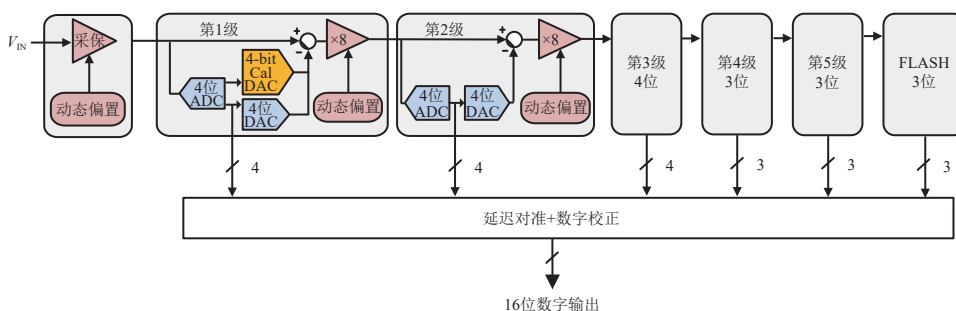


图 1 16 位流水线 ADC 结构框图

ADC 的前端为采样保持放大器，用来消除分布采样情况下的孔径误差，第 1~3 级的分辨率为

4 位, 第 4~5 级分辨率为 3 位, 作用是降低电容失配对线性度的影响、减小级数以及降低对后级的精度要求, 最后一级为 3 位的 FLASH ADC。此外为了达到 16 位的线性度, 需要进一步减小第 1 级的电容失配误差, 因此在第 1 级中使用了前台校准来校准电容失配。

2 电路设计

2.1 高线性度自举开关

中低分辨率的 ADC 通常采用传输门作为采样开关, 因为其结构简单, 输入范围宽, 导通电阻低。但是对于 14 位及以上的 ADC, 传输门结构达不到线性度的要求, 因此通常采用自举开关作为采样开关。自举开关通过在采样开关的栅极和源极之间连接 1 个充电到电源电压 V_{DD} 的电容, 使栅源电压在采样期间保持恒定为 V_{DD} 。然而, 对于高速 ADC 来讲, 采样开关的时间常量需要满足采样速率的要求, 因此采样开关的尺寸一般都较大, 导致其栅极的寄生电容较大, 而由于此寄生电容的分压原因, 自举后的电压小于电源电压, 又会反过来使导通电阻上升, 时间常量变大。为了解决自举电压降低的问题, 本文设计了一种改进后的栅压自举开关, 如图 2 所示。

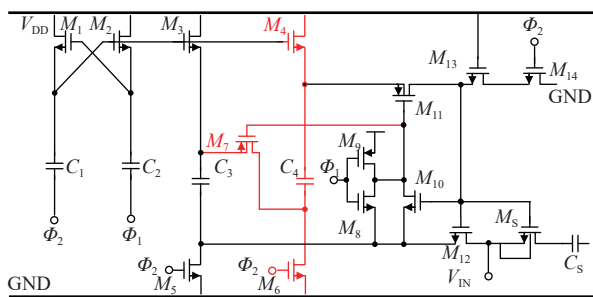


图 2 改进的自举开关

改进的自举开关, 在传统自举开关的基础上增加了一条充电支路, 包括 M_4 、 M_6 、 M_7 和 C_4 , 并与原充电支路 M_3 、 M_5 和 C_3 串联, 此时自举电压为:

$$V_G = \frac{2}{1 + \frac{C_P}{C_3} + \frac{C_P}{C_4}} V_{DD} + V_{IN} \quad (2)$$

式中, V_G 为采样开关管 M_5 的栅极电压; V_{IN} 为输入电平; V_{DD} 为电源电压。从式 (2) 可以看到, 通过调整 C_3 和 C_4 的值, 可以让自举后的栅源电压接近 V_{DD} , 减小导通电阻并提高采样性能。

2.2 采样保持放大器

采样保持放大器是流水线 ADC 中最关键的一

个单元, 因为其直接与外部模拟信号接口, 是模数转换的第一个步骤, 因此, 采样保持放大器的性能也直接决定了 ADC 能达到的性能上限。对于采样保持放大器, 其最重要的指标是线性度, 而要在高速采样和保持过程中保持足够高的线性度, 就要求采样保持放大器具有足够高的带宽来使得在周期内建立的信号满足精度要求。为了实现此目标, 则需要提高采样过程的线性度, 增大放大器的增益带宽积和反馈系数, 所以本文采用了如图 3 所示的采样保持放大器结构。

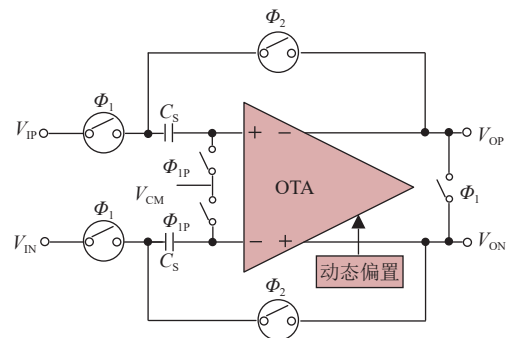


图 3 采样保持放大器结构

该采样保持放大器为电容翻转型结构, 因为同一个电容既作为采样电容也作为反馈电容, 因此该结构的反馈系数近似为 1, 能最大化提高放大器的带宽。同时, 采样开关和反馈支路的开关都采用了所设计的改进的自举开关, 把开关对线性度的影响降到了最低。此外, 将电容的上极板接到放大器输入端, 下极板接到模拟输入或输出, 可进一步降低虚地节点的寄生电容, 使反馈系数更接近理想值。最后, 采样过程使用了采样时钟 Φ_1 的提前关断相 Φ_{IP} 来结束采样过程, 此结构能消除与输入电平相关的非线性电荷注入, 提高采样的线性度。

采样保持放大器中的跨导放大器 (operational transconductance amplifier, OTA) 为关键单元, 需要具有足够高的增益带宽积来满足采样速率的要求, 并且需要尽量降低其功耗, 才能满足 ADC 低功耗的要求。本文采用的 OTA 结构如图 4 所示。

OTA 为 1 个两级放大器, 第 1 级为 PMOS 差分对输入的折叠共源共栅结构, 输出级为共源放大器结构。采用 PMOS 输入结构的好处是其具有更低的 $1/f$ 噪声和更低的共模输入电压范围下限, 使得输入和输出相连更为容易实现。并且采用 PMOS 输入后, $M_6 \sim M_{15}$ 以及第 2 级输入都为 NMOS 管, 尺寸会比 PMOS 更小, 因此在折叠点的寄生电容

$PB_{1,D}$ 设置为使电流源晶体管处于亚阈值区工作状态的值, 从而可使得采样相和放大相时的偏置电压差最小, 同时也能确保采样相时晶体管的电流近似为零, 极大地降低了放大器的平均功耗。

2.3 第 1 级流水线

ADC 第 1 级采用 4 位的结构, 包含 4 位子 ADC, MDAC 以及校准 DAC, 其单端等效框图如图 6 所示, 其传输函数如图 7 所示。

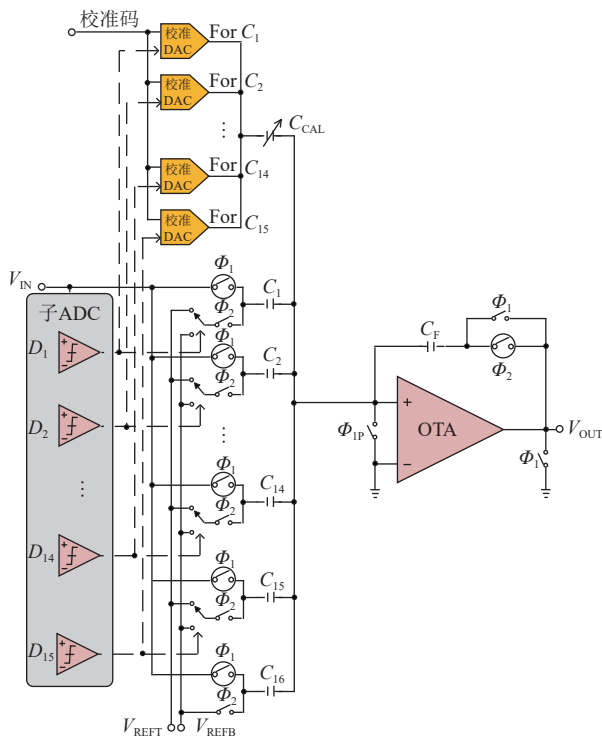


图 6 第 1 级流水线框图

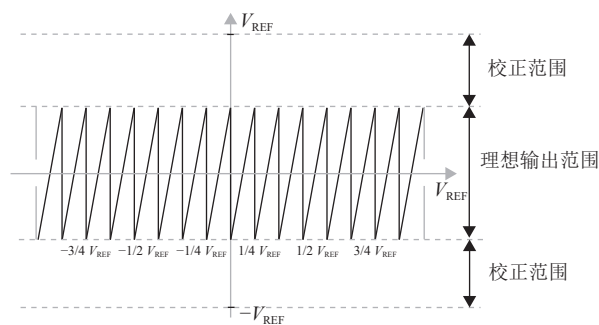


图 7 第 1 级传输曲线

图 6 中, $C_1 \sim C_{16}$ 为 DAC 电容阵列, 负责采样和求差运算, V_{REFT} 和 V_{REFB} 为参考电压顶端电压和底端电压, C_{CAL} 为校准电容, C_F 为反馈电容。采样相时输入被 MDAC 和子 ADC 分别进行采样, 放大相时子 ADC 输出比较结果给 MDAC 并生成本级数字码字输出, MDAC 根据比较器结果选择 V_{REFT} 或 V_{REFB} 电压连接到 DAC 阵列生成残差

信号, 残差信号经过放大器放大后送入下一级继续进行量化。为了降低 DAC 阵列中的电容失配误差, 设计了前台校准, 加入了 15 个校准 DAC, 根据修调码字注入修调电流到修调电容, 完成对电容失配进行校准。而修调码字的产生可通过多种算法, 如基于 INL 的算法或通过后期量化电容失配误差的算法。

2.4 比较器电路

子 ADC 中使用的比较器电路如图 8 所示。比较器为动态比较器, 在锁存器之前是 3 级高速低增益前置放大器用来降低动态比较器的失调和回踢噪声, 并减小亚稳态的概率^[14]。同时, 输入失调存储技术也被用来消除失调电压。该比较器具有速度快、失调电压低以及低功耗的优势。

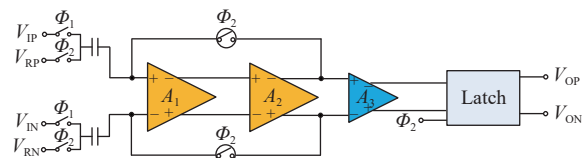


图 8 比较器结构图

2.5 抗辐射加固

空间辐射环境对元器件的影响主要有两种: 1) 电离辐射总剂量效应; 2) 单粒子闩锁效应。两种效应都会造成长期工作的元器件功能失效或损毁。

TID 效应的成因是当芯片暴露在辐射环境中时, 电离辐射会在栅氧中产生电子-空穴对, 由于电子的迁移率比空穴大很多, 因此在电场的作用下迅速离开氧化层, 而空穴则被界面陷阱所俘获形成固定的正电荷。TID 效应的主要影响有两种: 1) 改变 MOS 管阈值电压, 从而改变电路的工作状态; 2) 在栅极两端中被俘获空穴形成的正电荷, 在浅槽隔离下面的 P 型区感应出漏极和源极之间的导电沟道, 形成漏电流。由于 TID 为积累效应, 因此随着辐射的时间增加, 被俘获的空穴也逐渐增加, 导致漏电流逐渐增加, 最终器件失效。

SEL 效应的成因, 是因为芯片在制造时, 由于工艺的非理想性, 导致在器件之间存在寄生 BJT, 其剖面图和等效电路如图 9 所示^[15]。

在图 9 中, 形成了寄生的 PNP 和 NPN 管, 两者的连接形成一种正反馈回路, 但是在没有辐射的环境中, 寄生 BJT 由于其基极和发射极之间的电压差很小, 因此都处于关断状态, 不会影响电路正常工作。而当处于辐射环境中, 有高能离子进行撞

击时, 会使得寄生 BJT 导通, 经过正反馈后会使得电流短时间内急剧增大, 发生单粒子门锁现象。

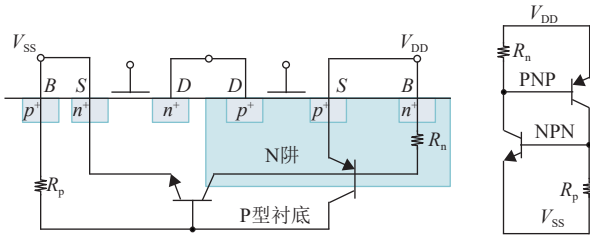


图 9 寄生 BJT 剖面图及等效电路

为了降低辐照效应的影响, 本文对敏感器件采用了环栅设计, 使得晶体管的栅极将源区和漏区都包围起来, 任何漏极和源极之间的电流都会从栅极的下方流过, 从而抑制 TID 效应产生的氧化层下的漏电流。同时, 对器件采用了 P 环和 N 环相组合的双层隔离环措施, 双隔离环可降低图 9 中的寄生电阻并收集电流, 因而降低 BJT 的电流增益, 阻断正反馈发生的条件从而避免单粒子门锁。

3 测试结果

本文所设计的抗辐射 16 位 25 MS/s 流水线 ADC 在 0.18 μm CMOS 工艺上进行了流片, 其芯片照片如图 10 所示, 面积为 2.5 mm^2 。该 ADC 的 DNL/INL 曲线如图 11 所示, FFT 结果如图 12 所示。

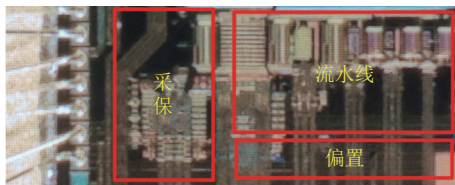


图 10 ADC 芯片图

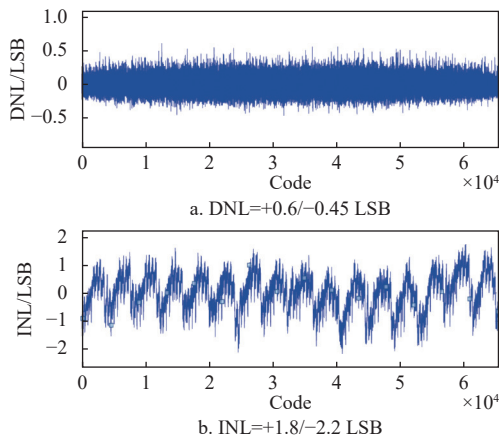


图 11 DNL/INL 曲线图

测试结果表明, 在 25 MHz 的采样率下, ADC 达到 $-0.45 \sim +0.60$ LSB 的 DNL, INL 为 $-2.2 \sim +1.8$ LSB, SNR 达到了 76.7 dBFS, 有效位为 12.24 位, SFDR

达到了 95.13 dBFS, 功耗为 38.6 mW。

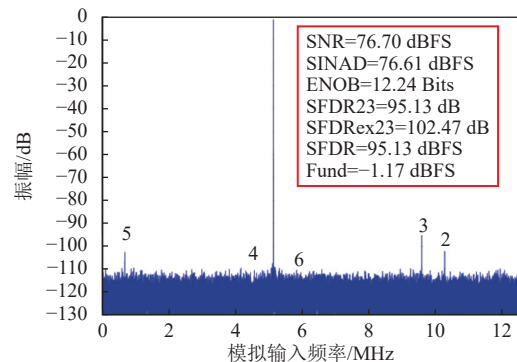


图 12 FFT 频谱图@ $f_s=25$ MS/s, $f_{IN}=30$ MHz

在中科院新疆理化所进行了 100 Krad (Si) 的 TID 实验以及在中科院兰州近物所进行 LET 为 75 $\text{MeV} \cdot \text{cm}^2/\text{mg}$ 的 SEL 实验, 在辐射后测试均合格, 辐射前后的关键指标变化量如表 1 所示。

表 1 ADC 辐射试验后的关键指标变化量

参数	SNR/ dBFS	SNDR/ dBFS	SFDR/ dBFS	INL/ LSB	DNL/ LSB	P_w / mW
TID	76.5	76.4	92.1	± 2.6	± 0.73	38.9
TID 试验后变化量	-0.2	-0.2	-3.0	± 0.4	± 0.13	0.3
SEL	76.4	76.3	94.7	± 2.3	± 0.66	38.7
SEL 试验后变化量	-0.1	-0.1	-0.4	± 0.1	± 0.06	0.1

将本文设计的 ADC 与其他文献的成果做性能对比, 结果如表 2 所示。

表 2 ADC 性能比较

参数	文献[16]	文献[17]	文献[18]	本文
工艺/ μm	0.032	0.35	0.35	0.18
电源电压/V	1.1	—	3.3	1.8
分辨率/Bit	8	13	12	16
转换速率/ $\text{MS} \cdot \text{s}^{-1}$	200	0.39	0.04	25
SNR/dB	40.6	—	67.9	75.4
SFDR/dB	52.9	—	78.7	91.0
积分非线性/LSB	—	± 0.31	± 0.61	± 2.4
微分非线性/LSB	—	± 2.1	± 0.36	± 0.73
功耗/mW	28	0.8	0.1	38.9
品质因数/ $\text{pJ} \cdot \text{conv}^{-1}$	1.6	—	1.21	0.35
TID/krad (Si)	1 000	—	300	100
SEL/ $\text{MeV} \cdot \text{cm}^2 \cdot \text{mg}^{-1}$	—	62.5	—	75

从表 2 可以看到, 本文设计的 16 位 25 MS/s 流水线 ADC 在线性度和品质因数方面具有领先优势, 同时具备较高的抗辐射能力。

4 结束语

本文基于 0.18 μm 1P6M CMOS 工艺设计了一

款抗辐射 16 位 25 MS/s 流水线 ADC, 该 ADC 采用了改进的自举开关、开关电容动态偏置等电路设计技术, 在 1.8V 电源电压, 25 MHz 采样率和 30.1 MHz 输入频率下, SNR 达到了 75.6 dB, SFDR 达到了 93.5 dB, 功耗为 38.6 mW, 品质因数达到 0.35 pJ/conv, 可满足长期空间环境的使用要求。

参考文献

- [1] LAGOS J, HERSHBERG B P, MARTENS E, et al. A 1-GS/s, 12-b, single-channel pipelined ADC with dead-zone-degenerated ring amplifiers[J]. *IEEE Journal of Solid-State Circuits*, 2019, 54(3): 646-658.
- [2] ALI A M A, DINC H, BHORASKAR P, et al. A 12-b 18-GS/s RF sampling ADC with an integrated wideband track-and-hold amplifier and background calibration[J]. *IEEE Journal of Solid-State Circuits*, 2020, 55(12): 3210-3224.
- [3] YANG P L, WANG X, WANG C W, et al. A 14-bit 200-Ms/s SHA-Less pipelined ADC with aperture error reduction[J]. *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, 2020, 28(9): 2004-2013.
- [4] MEHR I, SINGER L. A 55-mW, 10-bit, 40-Msample/s Nyquist-rate CMOS ADC[J]. *IEEE Journal of Solid-State Circuits*, 2000, 35(3): 318-325.
- [5] WANG Z Y, WANG M S, GU W R, et al. A high-linearity pipelined ADC with opamp split-sharing in a combined front-end of S/H and MDAC1[J]. *IEEE Transactions on Circuits and Systems I: Regular Papers*, 2013, 60(11): 2834-2844.
- [6] LEE B G, MIN B M, MANGANARO G, et al. A 14-b 100-MS/s pipelined adc with a merged Sha and first mdac[J]. *IEEE Journal of Solid-State Circuits*, 2008, 43(12): 2613-2619.
- [7] LEE M, CHO S, LEE N, et al. Design for high reliability of CMOS IC with tolerance on total ionizing dose effect[J]. *IEEE Transactions on Device and Materials Reliability*, 2020, 20(2): 459-467.
- [8] QUILLIGAN G, ASLAM S. TID and heavy-ion performance of an RHBD multichannel digitizer in 180-nm CMOS[J]. *IEEE Transactions on Nuclear Science*, 2021, 68(7): 1414-1422.
- [9] YANG W, KELLY D, MEHR L, et al. A 3-v 340-mw 14-b 75-msample/s cmos adc with 85-db sfdr at nyquist input[J]. *IEEE Journal of Solid-State Circuits*, 2001, 36(12): 1931-1936.
- [10] LEWIS S H. Optimizing the stage resolution in pipelined, multistage, analog-to-digital converters for video-rate applications[J]. *IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing*, 1992, 39(8): 516-523.
- [11] DEVARAJAN S, SINGER L, KELLY D, et al. A 16-bit, 125 ms/s, 385 mW, 78.7 DB SNR CMOS pipeline ADC[J]. *IEEE Journal of Solid-State Circuits*, 2009, 44(12): 3305-3313.
- [12] APFEL R J, GRAY P R. A fast-settling monolithic operational amplifier using doublet compression techniques[J]. *IEEE Journal of Solid-State Circuits*, 1974, 9(6): 332-340.
- [13] AHUJA B K. An improved frequency compensation technique for CMOS operational amplifiers[J]. *IEEE Journal of Solid-State Circuits*, 1983, 18(6): 629-633.
- [14] 艾伦. CMOS 模拟继承电路设计[M]. 2 版. 冯军, 李智群, 译. 北京: 电子工业出版社, 2011.
- [15] ALLEN P E. CMOS analog circuit design[M]. 2nd ed. Translated by FENG J, LI Z Q. Beijing: Publishing House of Electronics Industry, 2011.
- [15] 周晓丹, 刘涛, 付东兵, 等. 一种抗辐射的低功耗 14 位 20 MS/s 流水线型 ADC[J]. *半导体技术*, 2022, 47(7): 570-576.
- [16] ZHOU X D, LIU T, FU D B, et al. A radiation hardened low power dissipation 14 bit 20 MS/s pipelined ADC[J]. *Semiconductor Technology*, 2022, 47(7): 570-576.
- [16] ZANCHI A, CABANAS-HOLMEN M, YAO M, et al. Total ionizing dose characterization of an 8-bit 200-MSps switched-capacitor pipeline A-to-D converter in 32nm SOI CMOS[C]//Proceedings of the IEEE Radiation Effects Data Workshop. New York: IEEE, 2016: 1-6.
- [17] BOUYJOU F, GEVIN O, LIMOUSIN O, et al. A 32-channel 13-b ADC for space applications[J]. *IEEE Transactions on Nuclear Science*, 2017, 64(4): 1071-1079.
- [18] KIM T H, LEE H C. Total Ionizing dose effects on a 12-bit 40kS/s SAR ADC designed with a dummy gate-assisted N-MOSFET[J]. *IEEE Transactions on Nuclear Science*, 2017, 64(1): 648-653.

编辑 叶芳