

引用格式: 陈浩然, 俞军. 集成双输入缓冲前端的 4 GS/s 13 位 TI-Pipelined-SAR ADC[J]. 电子科技大学学报, 2025, 54(4): 488-493.

CHEN H R, YU J. A 4GS/s 13-bit TI-Pipelined-SAR ADC with integrated dual-input buffer[J]. Journal of University of Electronic Science and Technology of China, 2025, 54(4): 488-493.

集成双输入缓冲前端的 4 GS/s 13 位 TI-Pipelined-SAR ADC



陈浩然, 俞 军*

(复旦大学 微电子学院, 上海 200433)

摘要: 随着转换速率的提升, 采样前端逐渐成为限制高速高精度模数转换器 (ADC) 性能的瓶颈。该文基于 16 nm FinFET 工艺设计了一款集成双输入缓冲前端的 4 GS/s 13 位时间交织-流水线逐次逼近型 (TI-Pipelined-SAR) ADC。为降低多通道开关之间的串扰和通道内的回踢, 提出了一种双输入缓冲前端结构; 并采用通道间校准算法修正该结构引入的额外直流失调和增益失配。为提升采样速率, 还提出了一种全 CMOS 快速导通的栅压自举采样电路。测试结果表明, 该 ADC 在 500 MHz 输入信号频率下, 实现了 74.1 dBc 的无杂散动态范围, 信噪失真比达到了 59.6 dB。

关键词: 模数转换器; 输入缓冲前端; 校准算法; 栅压自举采样电路

中图分类号: TN432

文献标志码: A

DOI: 10.12178/1001-0548.2024148

A 4GS/s 13-bit TI-Pipelined-SAR ADC with integrated dual-input buffer

CHEN Haoran and YU Jun*

(School of Microelectronics, Fudan University, Shanghai 200433, China)

Abstract: As the conversion rate increases, the sampling front-end gradually becomes a bottleneck limiting the performance of high-speed and high-resolution analog-to-digital converters (ADCs). A 4GS/s 13-bit time-interleaved-pipelined-successive approximation register (TI-Pipelined-SAR) ADC with an integrated dual-input buffer is implemented in a 16 nm FinFET process. To minimize the intra-channel kickbacks and the crosstalk between multi-channel sampling switches, a dual-input buffer structure is adopted. Additional offset mismatch and gain mismatch introduced by dual-input buffer are corrected using an inter-channel calibration algorithm. An all-CMOS fast turn-on bootstrapped sampling switch circuit is also presented to improve the sampling rate. With 500 MHz input, the ADC achieves a spurious free dynamic range (SFDR) of 74.1 dBc and a signal-to-noise distortion ratio (SNDR) of 59.6 dB.

Key words: analog-to-digital converter (ADC); input buffer; calibration algorithm; bootstrapped sampling switch circuit

近年来, 随着宽带雷达等高采样率应用场景的大量出现, 高速高精度的模数转换器 (analog-to-digital converter, ADC) 迅猛发展^[1-2]。高速高精度的模数转换器可以实现直接射频采样, 省去了外差、超外差接收机所需的混频器, 从而降低了系统的复杂性、功耗与成本。然而随着 ADC 采样率的提升, 其采样开关与采样电容所引起的回踢噪声愈发显著, 采样开关的切换速率也逐渐难以满足需

求。当高速信号由片外网络直接驱动采样电容时, 回踢噪声将引入非线性失真^[3-4], 因此通常会使用输入缓冲器将片外网络与采样开关隔离开以减小回踢噪声, 从而减小非线性失真, 提升输入信号的线性度^[5-8]。由输入缓冲器与采样电路组成的采样前端依然存在失真问题, 同时作为 ADC 信号路径上的首个模块, 其非线性失真和采样开关切换速率限制了整个 ADC 的性能。

收稿日期: 2024-06-20

作者简介: 陈浩然, 主要从事高速高精度模数转换器方面的研究。

*通信作者 E-mail: yujun8621@fudan.edu.cn

输入缓冲器的非线性失真主要由跟随器的源漏电流与源漏电压变化和衬底电容的非线性引起。针对跟随器件的电流变化问题, 文献 [3] 使用复制负载电容向跟随器的输出节点注入补偿电流来减小电流变化。针对跟随器件的源漏电压问题与衬底电容非线性问题, 文献 [9] 采用漏端电压自举结构来减少源漏电压的变化, 同时将背栅反偏以减少衬底电容引入的非线性。然而, 在时间交织型 (time-interleaved, TI) ADC 中, 上述的输入缓冲器在多通道开关之间的串扰依然会引起信号的非线性失真。

为了提高采样开关的切换速率, 可以提升采样开关的信号带宽或提升栅压自举采样电路的导通速度。文献 [10] 提出的栅压自举采样电路通过提高开关管的栅源电压来减小其导通电阻, 增加信号带宽。然而, 如何提升栅压自举采样电路的导通速度, 还鲜有文献报道。

本文提出了一种双输入缓冲前端结构, 以降低多通道开关之间的串扰和通道内的回踢, 并采用通道间校正算法以修正该结构引入的额外直流失调和增益失配; 为进一步提升采样速率, 提出了一种全 CMOS 快速导通的栅压自举采样电路。

1 双输入缓冲前端结构

当 ADC 的采样率大幅提升时, 原先储存在采样电容中的电荷和采样开关中的沟道电荷会在采样时注入到输入缓冲前端的输出端, 在其输出端引起回踢。传统的输入缓冲前端会受到上一时刻采样开关所引起的强烈回踢, 导致缓冲前端输出信号的线性度被恶化。对于一个 8 通道 ADC, 根据采样的先后顺序将通道标为 0~7, 当通道 1 采样时其电容上的建立电压为:

$$y(nT_s) = x(nT_s)(1 - e^{-T_s/\tau}) + y[(n-8)T_s]e^{-T_s/\tau} + \alpha\{y[(n-1)T_s] + V_{ch}\}e^{-T_s/\tau} \quad (1)$$

式中, T_s 为此 8 通道 ADC 的一个采样周期; τ 为采样电路的时间常数; $x(nT_s)$ 为第 n 个采样周期的输入信号; $y[(n-8)T_s]$ 为通道 1 在上次采样时保持的信号; $y[(n-1)T_s]$ 为通道 0 在上次采样时保持的信号; V_{ch} 为采样开关电荷注入引起的电压; α 为信号在相邻通道采样电容间的衰减系数, $0 < \alpha < 1$ 。

文献 [3] 提出采样电容在采样前先复位, 以降低回踢噪声造成的影响。当 ADC 的采样率继续提升到 4 GS/s 时, 为了进一步抑制回踢, 本文在此基础上提出了双输入缓冲前端结构, 如图 1 所示,

输入信号分为两路通过双输入缓冲前端依次被采样至采样电容。

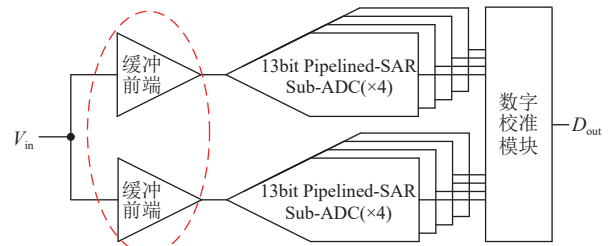


图1 集成双输入缓冲前端的8通道TI-Pipelined-SAR ADC架构图

对于双输入缓冲前端结构, 本次采样时电容上的建立电压为:

$$y(nT_s) = x(nT_s)(1 - e^{-T_s/\tau}) + y[(n-8)T_s]e^{-2T_s/\tau} + \alpha\beta\{y[(n-1)T_s] + V_{ch}\}e^{-T_s/\tau} \quad (2)$$

式中, β 则为信号在双输入缓冲器输出端之间的衰减系数, $0 < \beta < 1$ 。

对比式 (2) 与式 (1), 可见本文设计的双输入缓冲前端结构不仅在采样前先复位, 使得 $y[(n-8)T_s]$ 的放电时间更长了; 还利用缓冲前端的隔离作用, 降低了多通道开关之间的串扰。

为了对比衡量双输入缓冲前端的性能, 对输入缓冲前端、采样开关和等效负载电容进行仿真, 并采用 100 Ω 阻抗和 100 pF 电容驱动以模拟片外输入网络的有限驱动能力。图 2 为单/双输入缓冲前端输出信号的无杂散动态范围 (spurious-free dynamic range, SFDR) 随输入信号频率的变化曲线。双输入缓冲前端结构输出信号 SFDR 高于单输入缓冲前端结构, 证明这种结构可以较好地降低多通道开关之间的串扰。

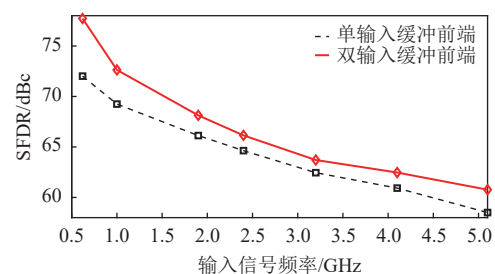


图2 单/双输入缓冲前端输出信号SFDR随输入信号频率的变化曲线

2 针对双输入缓冲前端的通道间校准

如图 1 所示的双输入缓冲前端结构虽然降低了

多通道开关之间的串扰,但也带来了缓冲前端之间的直流失调失配(offset mismatch)与增益失配(gain mismatch)问题,可能会影响 ADC 的性能和信号输出质量。下面分别考虑缓冲前端的失调失配与增益失配对 ADC 输出信号的影响。

对于单频的正弦信号,输入缓冲前端的模拟输入信号为:

$$x(t) = \cos(\omega_i t + \phi) \quad (3)$$

式中, ω_i 为输入信号的频率; ϕ 为输入信号的初始相位, $t \geq 0$ 。

定义周期方波信号 $g(t)$:

$$g(t) = \begin{cases} 1 & t \leq |T_s|/2 \\ -1 & |T_s|/2 < t < |T_s| \end{cases} \quad (4)$$

将 $g(t)$ 展开为傅里叶级数,表示为:

$$g(t) = \sum_{k=-\infty}^{+\infty} \frac{2}{k\pi} \sin\left(\frac{k\pi}{2}\right) e^{jk\omega_s t} \quad (5)$$

式中, ω_s 为 ADC 的采样频率; T_s 为双输入缓冲前端的切换周期, $t \geq 0$ 。

考虑双输入缓冲前端之间的失调失配,双输入缓冲前端的失调分别为 V_{OS1} 和 V_{OS2} ,且 $V_{OS}=(V_{OS1}+V_{OS2})/2$, $\Delta V_{OS}=V_{OS1}-V_{OS2}$,则输入缓冲前端的模拟输出信号为:

$$y(t) = x(t) + V_{OS} + \frac{\Delta V_{OS}}{2} g(t) = \cos(\omega_i t + \phi) + V_{OS} + \frac{\Delta V_{OS}}{2} \sum_{k=-\infty}^{+\infty} \frac{2}{k\pi} \sin\left(\frac{k\pi}{2}\right) e^{jk\omega_s t} \quad (6)$$

考虑失调失配后,输入缓冲前端的模拟输出信号被量化的结果为:

$$y[n] = \cos(\omega_i n T_s + \phi) + V_{OS} + \frac{\Delta V_{OS}}{2} \sum_{k=-\infty}^{+\infty} \frac{2}{k\pi} \sin\left(\frac{k\pi}{2}\right) e^{jk\omega_s n T_s} = \cos(\omega_i n T_s + \phi) + V_{OS} + \frac{\Delta V_{OS}}{2} \cos\left[\left(\frac{\omega_s}{2}\right) n T_s\right] \quad (7)$$

式(7)中 V_{OS} 项表示频谱上存在 DC 分量,而 $\frac{\Delta V_{OS}}{2} \cos\left[\left(\frac{\omega_s}{2}\right) n T_s\right]$ 项表示在 $n \frac{f_s}{2}$ 频点上存在幅度为 $\Delta V_{OS}/2$ 的杂散。

考虑双输入缓冲前端之间的增益失配,双输入缓冲前端的增益分别为 G_1 和 G_2 ,且 $G=(G_1+G_2)/2$, $\Delta G=G_1-G_2$,则输入缓冲前端的模拟输出信号为:

$$y(t) = \left[G + \frac{\Delta G}{2} g(t) \right] x(t) = \left[G + \frac{\Delta G}{2} \sum_{k=-\infty}^{+\infty} \frac{2}{k\pi} \sin\left(\frac{k\pi}{2}\right) e^{jk\omega_s t} \right] \cos(\omega_i t + \phi) \quad (8)$$

考虑增益失配后,输入缓冲前端的模拟输出信号被量化的结果为:

$$y[n] = \left[G + \frac{\Delta G}{2} \sum_{k=-\infty}^{+\infty} \frac{2}{k\pi} \sin\left(\frac{k\pi}{2}\right) e^{jk\omega_s n T_s} \right] \times \cos(\omega_i n T_s + \phi) = \left\{ G + \frac{\Delta G}{2} \cos\left[\frac{\omega_s}{2} n T_s\right] \right\} \cos(\omega_i n T_s + \phi) = G \cos(\omega_i n T_s + \phi) + \frac{\Delta G}{2} \cos\left[\left(\omega_i - \frac{\omega_s}{2}\right) n T_s + \phi\right] \quad (9)$$

式中, $G \cos(\omega_i n T_s + \phi)$ 表示在输入信号所在频点上整个输入缓冲器的增益为 G 即双输入缓冲前端增益的平均值; $\frac{\Delta G}{2} \cos\left[\left(\omega_i - \frac{\omega_s}{2}\right) n T_s + \phi\right]$ 表示在 $n\left(f_i - \frac{f_s}{2}\right)$ 频点上存在幅度为 $\Delta G/2$ 的杂散。

式(7)和式(9)的结果与 Time-Interleaved ADC 的通道间直流失调失配和增益失配的影响结果相同。因此,双输入缓冲前端之间的直流失调失配与增益失配可以采用文献[11-12]中经典的失调校准与增益校准通过前台或后台的方式被解决。本设计采用随机斩波校准技术,后台校准了缓冲前端间的增益失配,并在将差分输入短接至共模电平后,前台校准了缓冲前端间的直流失调失配,从而抑制多通道开关之间的串扰以减小非线性失真而不引入双输入缓冲前端间的失配。

3 全 CMOS 快速导通的栅压自举采样电路

当 ADC 的采样速率进一步提升,采样周期被大幅缩短,由于栅压自举采样开关的导通仍需一定时间,导致在跟踪阶段采样开关长时间未能完全导通,这不仅会造成一段时间内的导通电阻增大,限制了采样信号带宽,同时导致开关管导通电阻值被输入信号调制,最终造成信号的失真增大与 ADC 的采样速率受限。为此需要大幅提升采样开关的导通速度,本文提出了全 CMOS 快速导通的栅压自举采样电路,如图 3 所示。

当 CLK 为低电平时,在文献[10]的传统结构上增加 MP_1 管后, MP_1 与 MN_3 两条 NMOS 与 PMOS 通路均可对 C_3 充电,因此在 FS 与 SF corner 下均

可保证比较一致的充电电流, 且 C_3 两端的电压更接近 V_{DD} , 以确保 MN_{11} 较小的导通电阻。

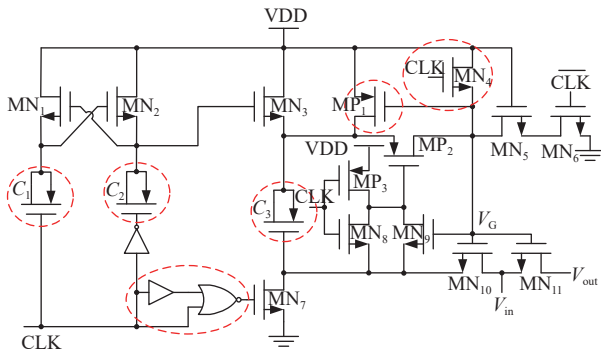


图 3 本文提出的全 CMOS 快速导通的栅压自举采样电路图

本文在文献 [10] 的传统结构上新增了 MN_4 管。在 CLK 为高电平时, 原电路通过 C_3 、 MP_2 、 MN_9 与 MN_{10} 构成的正反馈通路给 V_G 节点充电, 而 MN_4 的加入使得 V_{DD} 能够通过 MN_4 的导通对 V_G 节点充电。增加的 MN_4 这条通路使得 V_G 节点充电速度进一步加快。

图 3 使用 PMOS 管作为栅压自举电容, 不仅可以减小采样电路的面积, 而且可以增强版图匹配的一致性。同时在 MN_7 的栅极前增加了缓冲器或非门组成的单边延迟电路, 在 CLK 由高电平跳变为低电平时, 能够使得采样管 MN_{11} 先关断、 MN_7 再导通, 防止 MN_7 管漏端电压下降对 V_{in} 与 V_{out} 产生干扰。

为了衡量改进后的栅压自举采样电路性能, 对改进后的与传统的栅压自举采样电路进行仿真, 如图 4 所示。可见本文结构比传统结构的导通速度提

升了约 17.16 ps, 大幅提升了采样开关的切换速率, 满足了 4 GS/s 采样速率下, 被大幅缩短的采样周期的要求。

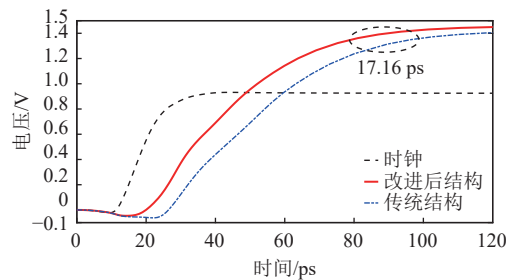


图 4 栅压自举采样电路的开关导通时间对比图

4 4 GS/s 13 位 ADC 的具体实现

相较于平面工艺, 16 nm FinFET 工艺具有寄生电容小的特点, 可以满足 4 GS/s 的高采样率; 且 ADC 中的数字部分能够很好地适配先进工艺。为验证双输入缓冲前端结构与全 CMOS 快速导通的栅压自举采样电路, 本文基于 16 nm FinFET 工艺设计了一款 ADC。由于 Pipelined-SAR 架构在速度、精度与功耗之间达到了较好的平衡, 且 Time-Interleaved 架构可以大幅增加采样率, 故本文采用如图 1 所示的 TI-Pipelined-SAR 架构。单个 Sub-ADC 的架构如图 5 所示, 单个 Sub-ADC 的采样率为 500 MS/s, 采用 3 级 5 bit 流水线, 第 1 级与第 2 级各有 1 bit 冗余位, 两个余量放大器的放大倍数分别为 6 和 12。流水线中的 MDAC 采用裂式电容架构、异步 SAR 逻辑与 Loop-unrolled 结构, 还使用了开环结构的余量放大器, 以提升 ADC 的转换速率并降低功耗。

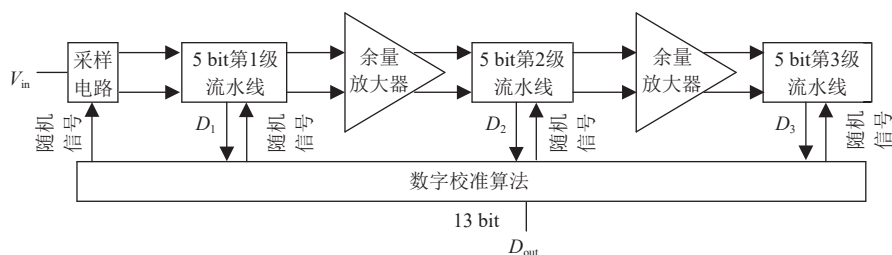


图 5 单个 Sub-ADC 的架构图

该 ADC 采用随机斩波采样并大量生成伪随机序列, 以进行通道内与通道间的校正。通过将目标值与累加值比较, 对比较器的直流失调、余量放大器的直流失调与增益误差和 MDAC 电容进行前台校准。通过引入伪随机序列对余量放大器的增益进行了后台校准, 还利用级间冗余位对比较器进行后

台校准, 并对采样时刻偏差进行了后台校准。本文采用随机斩波校准技术, 不仅可以对 Sub-ADC 之间引入的直流失调失配在前台和后台进行校准, 对 Sub-ADC 之间引入的增益失配在后台进行校准, 而且可以校准双输入缓冲前端引入的额外直流失调和增益失配, 如第 2 节所述。

5 测试结果

本文设计的集成双输入缓冲前端的 4 GS/s 13 位 TI-Pipelined-SAR ADC 基于 16 nm FinFET 工艺流片验证, 图 6 为 ADC 芯片照片, 其面积为 1.53 mm^2 ($450 \mu\text{m} \times 1700 \mu\text{m}$)。芯片左侧为双输入缓冲器, 中间为 8 通道 Sub-ADC, 右侧为数字校准模块。在 4 GS/s 的采样率下, 整个 ADC 的功耗为 497 mW, 其中的双输入缓冲前端所占功耗为 261 mW。

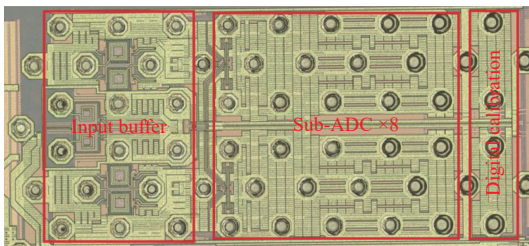


图 6 ADC 芯片照片

图 7 与图 8 为在 4 GS/s 采样率下, 测试所得的快速傅里叶变换 (fast Fourier transform, FFT) 频谱图。图 7 显示在 500 MHz 的低频输入信号频率下, 该 ADC 实现了 74.1 dBc 的无杂散动态范围, 信噪比 (signal-to-noise ratio, SNR) 与信噪失真比 (signal-to-noise and distortion ratio, SNDR) 分别达到了 59.9 dB 与 59.6 dB。图 8 显示在 2 GHz 奈奎斯特频率输入信号频率下, 该 ADC 实现了 60.6 dBc 的无杂散动态范围, 信噪比与信噪失真比分别为 56.6 dB 与 55.1 dB。

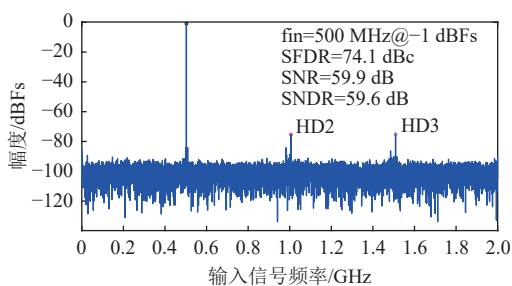


图 7 500 MHz 输入信号频率下的频谱图

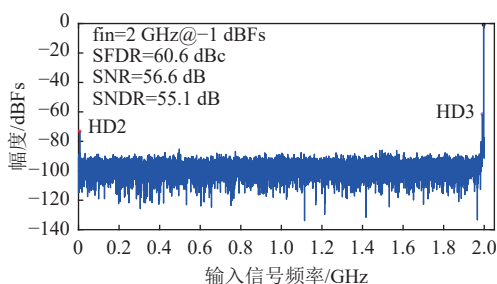


图 8 2 GHz 输入信号频率下的频谱图

图 9 给出了该 ADC 在 4 GS/s 采样率、 -1 dBFS 输入下 (dBFS 即 dB Fully Scale , ADC 的 -1 dBFS 输入, 即 ADC 的信号幅度以满摆幅为基准下降 1 dB), 测试得到的 SFDR 与 SNDR 随输入信号频率的变化曲线。

表 1 给出了本设计与近几年发表文献中, 采用 16 nm 以下的先进工艺、采样速率在 GS/s 以上、分辨率大于 10 bit ADC 的性能对比。本文设计 ADC 在 4 GS/s 采样率、500 MHz 输入信号频率下, 实现了 74.1 dBc 的 SFDR, 均高于文献 [13-15] 中的 SFDR 指标; 达到了 59.6 dB 的 SNDR, 高于文献 [13-14] 中的 SNDR 指标。证明本文提出的双输入缓冲器结构与全 CMOS 快速导通的栅压自举采样电路对于提升超过 GS/s 采样率的 TI-ADC 性能是有效的。

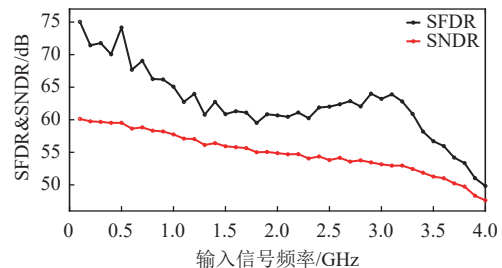


图 9 SFDR 与 SNDR 随输入信号频率变化曲线

表 1 与其他先进 ADC 的对比

| 参数 | 本文 | 文献[13] | 文献[14] | 文献[15] |
|------------|-----------|--------|--------|--------|
| 工艺/nm | 16 | 16 | 14 | 7 |
| 架构 | TI-Pi-SAR | TI-SAR | Pi-SAR | Pi |
| 采样频率/GHz | 4 | 2 | 1.5 | 1.8 |
| 分辨率/bit | 13 | 10 | 10 | 12 |
| 输入信号频率/MHz | 500 | 991 | 750 | 900 |
| SFDR/dBc | 74.1 | 56 | 58.39 | 69.2 |
| SNDR/dB | 59.6 | 50.1 | 50.1 | 60.16 |
| 功耗/mW | 497 | 10.4* | 6.92* | 7.55** |

*不含输入缓冲器功耗

**不含输入缓冲器功耗与有限增益误差、带宽、线性度等校正模块功耗

6 结束语

本文基于 16 nm FinFET 工艺设计了一款集成双输入缓冲器的 4 GS/s 13 位 TI-Pipelined-SAR ADC。该 ADC 采用双输入缓冲前端结构, 以降低多通道开关之间的串扰和通道内的回踢, 并且采用通道间校准算法修正该结构引入的额外直流失调和增益失配; 提出了一种全 CMOS 快速导通的栅压自举采样电路以实现 4 GS/s 的采样率。本文提出的双输

入缓冲器结构与全 CMOS 快速导通的栅压自举采样电路对于提升超过 GS/s 采样率的 TI-ADC 性能是有效的。

参考文献

- [1] ALI A M A, DINC H, BHORASKAR P, et al. A 14 bit 1 GS/s RF sampling pipelined ADC with background calibration[J]. IEEE Journal of Solid-State Circuits, 2014, 49(12): 2857-2867.
- [2] ALI A M A, DILLON C, SNEED R, et al. A 14-bit 125 MS/s IF/RF sampling pipelined ADC with 100 dB SFDR and 50 fs Jitter[J]. IEEE Journal of Solid-State Circuits, 2006, 41(8): 1846-1855.
- [3] ALI A M A, MORGAN A, DILLON C, et al. A 16-bit 250-MS/s IF sampling pipelined ADC with background calibration[J]. IEEE Journal of Solid-State Circuits, 2010, 45(12): 2602-2612.
- [4] DEVARAJAN S, SINGER L, KELLY D, et al. A 16-bit, 125 MS/s, 385 mW, 78.7 dB SNR CMOS pipeline ADC[J]. IEEE Journal of Solid-State Circuits, 2009, 44(12): 3305-3313.
- [5] XU Y, HU H, MUHLESTEIN J, et al. A 77-dB-DR 0.65-mW 20-MHz 5th-order coupled source followers based low-pass filter[J]. IEEE Journal of Solid-State Circuits, 2020, 55(10): 2810-2818.
- [6] LIU Z X, TAN Y, LI H Y, et al. A 0.5-V 3.69-nW complementary source-follower-C based low-pass filter for wearable biomedical applications[J]. IEEE Transactions on Circuits and Systems I: Regular Papers, 2020, 67(12): 4370-4381.
- [7] YAMANAKA S, SANO K, MURATA K. A 20-gs/s track-and-hold amplifier in InP HBT technology[J]. IEEE Transactions on Microwave Theory and Techniques, 2010, 58(9): 2334-2339.
- [8] LI D Q, FENG T, DING J L, et al. A wideband input buffer based on cascade complementary source follower[J]. IEEE Transactions on Very Large Scale Integration (VLSI) Systems, 2024, 32(5): 962-966.
- [9] DEVARAJAN S, SINGER L, KELLY D, et al. A 12-b 10-GS/s interleaved pipeline ADC in 28-nm CMOS technology[J]. IEEE Journal of Solid-State Circuits, 2017, 52(12): 3204-3218.
- [10] ABO A M, GRAY P R. A 1.5-V, 10-bit, 14.3-MS/s CMOS pipeline analog-to-digital converter[J]. IEEE Journal of Solid-State Circuits, 1999, 34(5): 599-606.
- [11] HSU C C, HUANG F C, SHIH C Y, et al. An 11b 800MS/s time-interleaved ADC with digital background calibration[C]//IEEE International Solid-State Circuits Conference. San Francisco: IEEE, 2007: 464-615.
- [12] FU D H, DYER K C, LEWIS S H, et al. A digital background calibration technique for time-interleaved analog-to-digital converters[J]. IEEE Journal of Solid-State Circuits, 1998, 33(12): 1904-1911.
- [13] LUO L, CHEN S, ZHOU M C, et al. A 0.014mm² 10-bit 2GS/s time-interleaved SAR ADC with low-complexity background timing skew calibration[C]//Proceedings of the Symposium on VLSI Circuits. Kyoto: IEEE, 2017: C278-C279.
- [14] KULL L, LUU D, MENOLFI C, et al. 28.5 A 10b 1.5GS/s pipelined-SAR ADC with background second-stage common-mode regulation and offset calibration in 14nm CMOS FinFET[C]//Proceedings of the IEEE International Solid-State Circuits Conference. San Francisco: IEEE, 2017: 474-475.
- [15] HSIEH S E, WU T C, HOU C C. A 1.8GHz 12b pre-sampling pipelined ADC with reference buffer and OP power relaxations[C]//Proceedings of the IEEE International Solid-State Circuits Conference. San Francisco: IEEE, 2023: 166-168.

编辑 叶芳