

引用格式: 郭仲杰, 张金澳, 许睿明, 等. 应用于 CMOS 图像传感器的 12 bit 全局共用型列级 SAR ADC[J]. 电子科技大学学报, 2026, 55(1): 77-84.
GUO Z J, ZHANG J N, XU R M, et al. A 12 bit global shared column SAR ADC for CMOS image sensor[J]. Journal of University of Electronic Science and Technology of China, 2026, 55(1): 77-84.

应用于 CMOS 图像传感器的 12 bit 全局 共用型列级 SAR ADC



郭仲杰*, 张金澳, 许睿明, 刘绥阳

(西安理工大学自动化与信息工程学院, 西安 710048)

摘要: 针对传统逐次逼近型模数转换器 (SAR ADC) 在 CMOS 图像传感器列级读出电路中的面积和功耗突出问题, 提出一种面向大阵列的全局共用 DAC 型高速 SAR ADC。该结构基于多列共用核心 DAC 的思想, 将传统列级 SAR ADC 中面积需求最大的电容阵列 DAC 提取出来, 采用不同权重的 DAC 信号, 建立一个全局共用型 DAC 并采用多路选择加法器替代了传统的多列复用技术。该方法将每列 SAR ADC 简化后仅需要比较器、多路选择加法器以及部分数字逻辑, 在保证 SAR ADC 的速度及精度优势的同时大幅度减小了其面积需求。基于 55nm 1P4M CMOS 工艺对所提出的方法进行了详细的电路设计和仿真验证, 在模拟电压为 3.3 V、数字电压为 1.2 V、时钟频率为 120 MHz、输入信号范围为 1.6 V 的情况下, 设计实现的 12-bit SAR ADC 的静态参数 DNL (differential nonlinearity) 为 $-0.8/0.8$ LSB, INL (integral nonlinearity) 为 $-1.4/0.4$ LSB, 信噪失真比 (SNR) 达到 68.24 dB, 有效位数为 11.02 bit, 面积为 $10\ \mu\text{m} \times 350\ \mu\text{m}$, 功耗为 264 μW 。相比现有的 SAR ADC, 在保证 SAR ADC 高速、高精度的同时, 也使 ADC 面积需求大幅度减小, 为 SAR ADC 在高速 CMOS 图像传感器的列级读出电路中的应用提供了理论支撑。

关键词: CMOS 图像传感器; 列级 ADC; SAR ADC; 全并行; 全局共用

中图分类号: TN492

文献标志码: A

DOI: 10.12178/1001-0548.2024271

A 12 bit global shared column SAR ADC for CMOS image sensor

GUO Zhongjie*, ZHANG Jinao, XU Ruiming, and LIU Suiyang

(School of Automation and Information Engineering, Xi'an University of Technology, Xi'an 710048, China)

Abstract: To address the issues of area and power consumption in traditional successive approximation register analog-to-digital converters (SAR ADCs) used in column-level readout circuits of CMOS image sensors, this paper proposes a high-speed SAR ADC with a globally shared DAC, tailored for large arrays. The proposed architecture is based on the concept of sharing a core DAC across multiple columns. It extracts the largest area-consuming component of traditional column-level SAR ADCs, the capacitor array DAC, and replaces it with a globally shared DAC that utilizes different weighted DAC signals, along with a multiplexer and adder, instead of traditional column-level multiplexing techniques. This method simplifies each column-level SAR ADC to only require a comparator, a multiplexer-adder, and partial digital logic, significantly reducing the area requirements while maintaining the speed and precision advantages of SAR ADCs.

The proposed method was designed and simulated using a 55nm 1P4M CMOS process. With an analog voltage of 3.3V, a digital voltage of 1.2V, a clock frequency of 120MHz, and an input signal range of 1.6V, the 12-bit SAR ADC designed in this work achieves a static differential nonlinearity (DNL) of $-0.8/0.8$ LSB, an integral nonlinearity (INL) of $-1.4/0.4$ LSB, a signal-to-noise ratio (SNR) of 68.24 dB, and an effective number of bits (ENOB) of 11.02 bits. The total area is $10\ \mu\text{m} \times 350\ \mu\text{m}$, with a power consumption of 264 μW . Compared to existing SAR ADCs, this design reduces the area requirements significantly while maintaining high speed and precision, providing theoretical support for the application of SAR ADCs in the column-level readout circuits of high-speed CMOS image sensors.

Key words: CMOS image sensor; column ADC; SAR ADC; fully parallel; global shared

收稿日期: 2024-09-30

基金项目: 国家自然科学基金 (62171367); 陕西省创新能力支撑计划 (2022TD-39); 西安理工大学校企协同基金 (252062302)

作者简介: 郭仲杰, 博士, 教授, 主要从事超大规模集成电路设计方面的研究。

*通信作者 E-mail: zjguo@xaut.edu.cn

近年来,随着 CMOS 图像传感器 (CMOS image sensor, CIS) 的不断更新迭代,其低成本、低功耗的优势日益凸显,被广泛应用于航空航天、自动驾驶、机器视觉等领域。这些领域对于 CIS 芯片的帧率指标要求也愈发严苛。其中模数转换器 (analog to digital conversion, ADC) 作为 CIS 芯片的重要组成部分,ADC 各项指标直接决定了 CIS 芯片的性能,所以提高 ADC 的转换速度是提高 CIS 帧率的主要方式^[1-5]。在众多应用于 CIS 的 ADC 结构中,主要分为像素级、芯片级以及列并行级,其中像素级 ADC 会影响填充因子和量子效率等光电参数,芯片级 ADC 的速度要求太高。因此,在考虑芯片面阵大小、功耗等实际应用场景时,列并行结构在扩展性、速度以及面积上能够实现较好的折中,更符合高速 CIS 的需求^[6]。为了满足高速拍摄应用需求,帧率需达到 100 帧以上,这就要求在 2k 面阵规模时,ADC 的转换速度需要控制到 5 μs 以内。

应用于 CIS 的高速列级 ADC 架构的研究主要集中于逐次逼近型 ADC (successive approximation register ADC, SAR ADC)、循环 ADC (cyclic ADC)、单斜式 ADC (single slope ADC, SS ADC) 以及各种混合架构 ADC 等^[7-11]。其中以 SS ADC 结构在大阵列、低功耗要求下应用最为广泛,SS ADC 具有精度高、结构简单以及多 k 列仅需要一个斜坡发生器便能够完成量化带来的设计便利等优势。但是其转换速度太慢,一个 n -bit 的 SS ADC 需要 2^n 个时钟才能完成一次完整的模数转换,显然其无法满足高速设计需求。而 SAR ADC 相较于其他架构具有速度快的优势,同样一个 n -bit 的 SAR ADC 完成一次量化仅需要 n 个时钟周期。而且 SAR ADC 大部分结构为数字电路,所以还具有功耗较低的优点。所以 SAR ADC 更符合高速 CIS 的设计需求,但由于该架构需要采用 CDAC 电容阵列,需要占用较大的面积,而且还会带来布局的问题。单列宽度无法满足共质心布局的需求,若采用左右对称的布局方式,在 2k 列甚至更大面阵应用时,SAR ADC 中大面积的电容阵列会导致整个芯片的布局难度大幅提高。目前采用传统 SAR ADC 的 CIS 芯片多为几百列面阵大小^[11-13],在 1k 列以上的 CIS 中鲜有应用。为了能够使 SAR ADC 更好地应用于 CIS,需要对传统的 SAR ADC 结构作出相对应的改进。

针对 SAR ADC 无法应用于 2k 列阵面大小的

CIS,有如下解决方法:两步式 SAR-SS ADC^[11],将量化分为两个阶段,首先用 SAR ADC 进行高 6 位的粗量化,随后 SS ADC 再进行低 6 位的细量化。该方法相较于 SS ADC 速度大大提高,但低 6 位的细量化仍然需要 2^6 个时钟,没有完全发挥 SAR ADC 的速度优势。文献 [14] 将 SS ADC 与 SAR ADC 的比较器共用,减小了一个比较器的面积消耗,降低了一定的功耗。文献 [15] 为了降低 SAR-SS ADC 电路面积,将 SAR ADC 的 CDAC 多列串行共用,即多列 SS ADC 与单个 SAR ADC 组合,先由该 SAR ADC 以串行的方式依次将多列像素信号进行粗量化,然后再由 SS ADC 同时对 SAR ADC 粗量化后的结果进行细量化^[14-15]。通过该方式进一步提高 SS/SAR ADC 的转换速度,但串行并用的方式转换速度相较于传统 SAR ADC 结构仍存在较大的速度差距。传统 SAR ADC 无法应用于 CIS 读出电路,主要是由于其所采用的电容阵列 DAC 面积过大。文献 [16] 通过采用两个 V_{ref} 实现粗细量化的两步式 SAR ADC^[16],这种结构仅需要使用 6 位电容实现 12 位的精度,将电容阵列 DAC 减小为原来的 1/64,减小了电容阵列的面积,但仍无法满足列级读出电路对于面积的要求。

针对现有研究中遇到的问题,为了提高 CIS 的帧率,本文在不降低 SAR ADC 转换速度的前提下,以进一步减小 SAR ADC 的面积作为目标,提出一种采用全局共用型 DAC 的列级 SAR ADC,该结构能保证在不降低传统结构转换速度的同时,有效降低单列结构的面积需求,使得逐次逼近结构能更好地应用于 CIS。

1 基于全局共用 DAC 的 SAR ADC 设计方法

本文提出的 CIS 列级读出电路的结构如图 1 所示,由于列级读出电路对于单列列宽的限制,而 SAR ADC 又需要大面积的电容阵列 DAC,这就导致了中大型阵列 CIS 很少在读出电路中应用 SAR ADC 结构。为了能够利用 SAR ADC 速度快的优势来进一步提高读出电路速度,需要在传统 SAR ADC 结构上作出适用于列级读出电路的改进。SAR ADC 结构中电容阵列需求面积最大,所以主要的改进应集中在 DAC 上。传统的 CDAC 原理是利用电荷守恒通过控制多个二进制权重的电容翻转来输出不同的参考电压,该方法不可避免地会引入

多个电容。本文提出的改进则是由一个全局共用型 DAC 给所有列读出电路提供需求的基本参考电压, 然后再由各列上的模拟加法器按照需求加减以得到逐次逼近过程中需要的各个参考电压值。该方案将面积需求最大的 DAC 模块转移到了列线外, 而各列读出电路的 SAR ADC 仅包含 1 个比较器、1 个 SAR Logic、1 个模拟加法器便可以实现逐次逼近操作, 该种方案能够在保证 SAR ADC 转换速度的前提下满足列线对面积的约束。

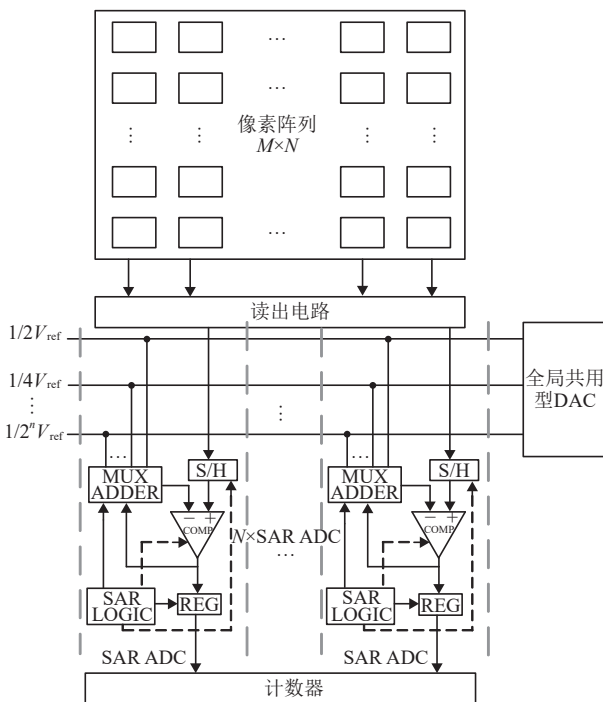


图 1 本文提出的读出电路架构图

2 具体电路设计

本文提出改进后的 SAR ADC 结构如图 2 所示, 该结构由采样保持电路、全局共用型 DAC、多路选择加法器、比较器、SAR 逻辑以及寄存器构成。首先, 由可编程增益放大器 PGA 将来源于像素单元的像素复位电压和像素信号电压进行采样并放大, 以此来减小读出电路的等效输入噪声, 然后输入给比较器。全局共用型 DAC 与多路选择加法器共同替代了原有的电容阵列, 全局共用型 DAC 将外部输入的 V_{ref} 分为 n -bit SAR ADC 需要的 n 个基本参考电压, 这些参考电压在读出电路读出信号期间同时存在, 并输出给所有列 SAR ADC 的模拟加法器的输入端。各列上的多路选择加法器由 SAR 逻辑模块控制选择不同的基本参考电压进行加减来得到逐次逼近过程需要的各个电

压。比较器将 PGA 采样放大的信号与多路选择加法器输出的信号进行比较输出给寄存器, 最终在量化结束后寄存器受到逻辑模块控制将比较器串行输出的数字码转为并行信号并输出。由于多列共用型 DAC 的使用, 使得各列读出电路可以以全并行的方式进行读出操作, 大大加快了读出电路的读出速度。由此在保持 SAR ADC 高速的量化方式下, 实现了减小列级 SAR ADC 的整体面积的需求。

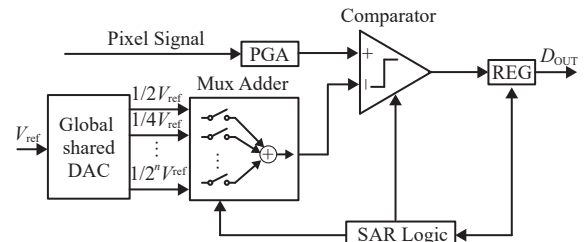


图 2 本文提出的 SAR ADC 架构图

2.1 面向多列共用的全局 DAC 设计

本文提出的全局共用型 DAC 需要同时提供多列 SAR ADC 使用的参考电平, 这些参考电平在 ADC 量化期间稳定输出且能够在多列 SAR ADC 取用同一电平时互不影响, 为了满足以上要求, 本文采用电阻分压结构来实现。如图 3 所示, 首先由外部基准源提供 V_{ref} , 然后由 13 个二进制电阻分压来提供各列需要的参考电平 $1/2 V_{ref}$ 、 $1/4 V_{ref}$ 、 \dots 、 $1/2^{12} V_{ref}$ 。每个节点的电压与各列读出电路的导通开关 $S_0 \sim S_{11}$ 由总控制信号控制。同时为了增加驱动能力, 每个节点与各列读出电路之间还需要经过一个缓冲器, 全局共用型 DAC 的缓冲器输出与加法器端的输入缓冲器相接。由于全局共用型 DAC 的输出缓冲器最多需要与 $2k$ 个加法器的输入端相接, 所以该处缓冲器设计要求很严苛, 与 SS ADC 中斜坡发生器的输出端缓冲器设计要求相同, 需要能够在 $2k$ 列同时导通时提供足够大的电流以保证加法器的输入信号精度。

该全局共用型 DAC 工作时序图如图 4 所示, 图中 CLK 为 DAC 的时钟信号, 该信号与 ADC 的时钟信号为同一时钟, 图中 Q_1 、 Q_2 分别为 ADC 的第 1 个逼近周期、第 2 个逼近周期, 由于 SAR ADC 其逐次逼近的特点, 所以各个输出端的缓冲器建立时间要求不同, 其仅需要在各列加法器采样基准电压前稳定即可。如图 4 所示, 当各列读出电路开始读出时, 首先需要有一个准备阶段, 这是由于该结构在所有列线的一侧, 所以电路要连接到各列读出电路上需要经过 2.048 mm ($2k \times 10 \mu\text{m}$) 的传

输线，这段传输线无疑会带来一定的寄生电容，且各个节点电压还需要同时供给多列读出电路。在这段时间内首先导通开关被打开，然后节点电压开始向读出电路提供参考电压，一段时间后电压逐渐趋于稳定，与读出电路相接的各个参考电压稳定后，准备阶段结束，各列读出电路才开始进行采样、量化读出。

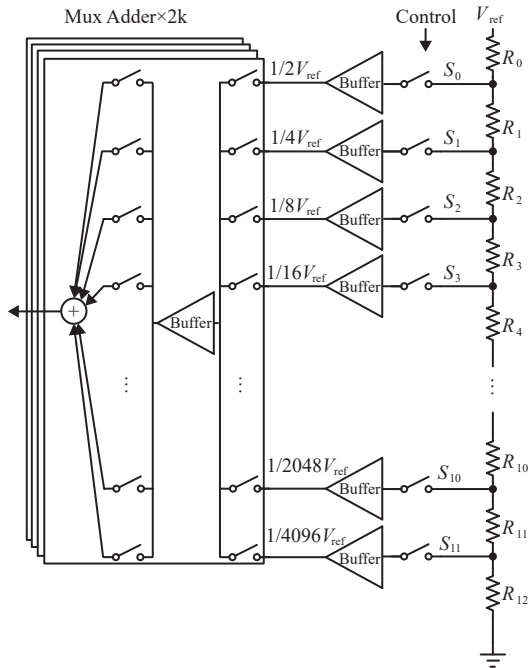


图 3 全局共用型 DAC 电路示意图

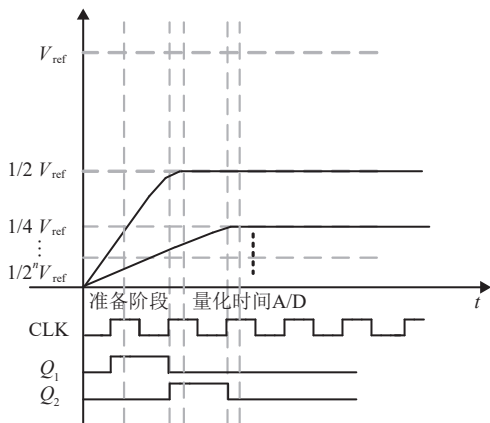


图 4 全局共用型 DAC 电路工作时序示意图

2.2 列级简化 SAR ADC 实现

在本文提出的 SAR ADC 结构中，由全局共用型 DAC 提供的多个参考电平需要经由一个多路选择加法器根据 SAR 逻辑输出的数字码以及比较结果对输入的参考电平进行加减处理，然后输入到各列 SAR ADC 中比较器的一端。本文提出的多路选择加法器由两个缓冲器、两个电容以及多个开关构

成。为了实现模拟电平的加减运算，本文基于电荷守恒原理利用电容翻转来实现该功能，根据逐次逼近量化的特点，每次逼近过程中需要进行两个电平加减，基于此本文提出多路选择加法器，如图 5 所示。

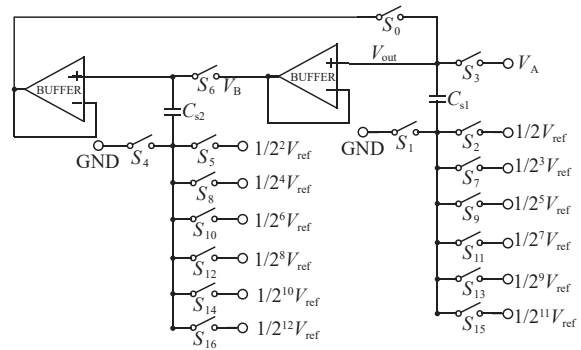


图 5 多路选择加法器电路示意图

本电路在 SAR ADC 进行逐次逼近过程中的工作时序如图 6 所示。CLK 为 ADC 的工作时钟， $Q_{11} \sim Q_9$ 分别为前 3 次逼近的时钟信号。 Q_{11_sw13} 为开关 S_1 和 S_3 的控制信号，当该信号为高电平时开关导通， Q_{11_sw2} 为开关 S_2 的控制信号， Q_{11_swc} 为比较器结果是否接入开关的控制信号。基于电荷守恒原理，本文将每个逐次逼近的时钟周期分为 3 部分，当第 1 次逼近时为 t_1 阶段，开关 S_1 、 S_3 闭合，此时第 1 个电容 C_{s1} 两端的电压为：

$$V_{out} = V_A \tag{1}$$

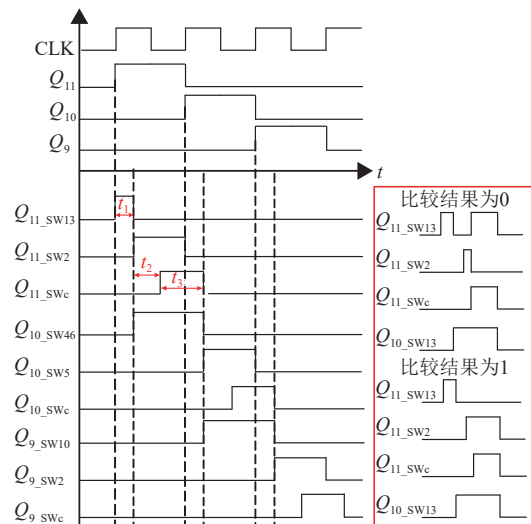


图 6 多路选择加法器工作时序图

此时，电容上的电荷为：

$$Q_{cs1} = V_A C_{s1} \tag{2}$$

然后进入 t_2 阶段，开关 S_2 闭合，电容两端翻

转, 实现了 V_A 与第 1 个参考电平 $1/2V_{\text{ref}}$ 的加法, 此时第 1 个电容上的电荷为:

$$Q_{\text{cs1}} = (V_{\text{out}} - \frac{1}{2}V_{\text{ref}})C_{\text{s1}} \quad (3)$$

根据电荷守恒原理, 则此时电容上级板的电压为:

$$V_{\text{out}} = V_A + \frac{1}{2}V_{\text{ref}} \quad (4)$$

在 t_2 阶段, V_{out} 与比较器相接进行第 1 次比较, 然后在 t_3 阶段将比较器的输出结果接入多路选择加法器的控制逻辑, 然后根据比较器的结果经过数字逻辑判断 1 次逼近需要的参考电平, 并将第 1 次逼近结果输入到第 2 个电容 C_{s2} 上以准备进行第 2 次逼近。如果比较器的结果为 0, 即像素信号小于 $1/2V_{\text{REF}}$, 那么此时开关 S_1 、 S_2 、 S_3 会退到 t_1 阶段, 此时电容上级板电压为 V_A 。反之, 如果此时比较器的结果为 1, 则开关 S_1 、 S_2 、 S_3 保持 t_2 阶段状态, 此时电容上级板电压为 $V_A + 1/2V_{\text{REF}}$ 。在 t_2 和 t_3 阶段时, 第 2 个电容两端的

S_4 和 S_6 开关打开, 以便在比较完后第一时间将最终的参考电平输入到第 2 个电容上。以上便是完整的第 1 次逼近过程。之后每次逼近过程多路选择加法器则只需要重复以上操作, 需要注意的是在第 2 次逼近以后连接第 1 个电容上级板的开关变为了 S_0 。

3 验证结果及分析

应用于 CIS 的全并行 SAR ADC 列级读出电路基于 55 nm-1P4M 工艺完成了设计与验证。该列级读出电路预期应用在像素大小为 $10 \mu\text{m} \times 10 \mu\text{m}$ 、面阵大小为 2064×1554 的 CIS 上。应用了该列级 SAR ADC 的全芯片预期结构图如图 7 所示, 全局共用型 DAC 分布在列级 SAR ADC 的一侧, 每个 DAC 负责提供 $2k$ 列的参考电压。从 DAC 到 $2k$ 列各列的线长所带来的寄生电阻所带来的误差为主要考虑因素, 验证时在 DAC 与各列加法器连接的节点处串联寄生电阻, 再引入寄生电阻后对单列 SAR ADC 进行仿真验证。

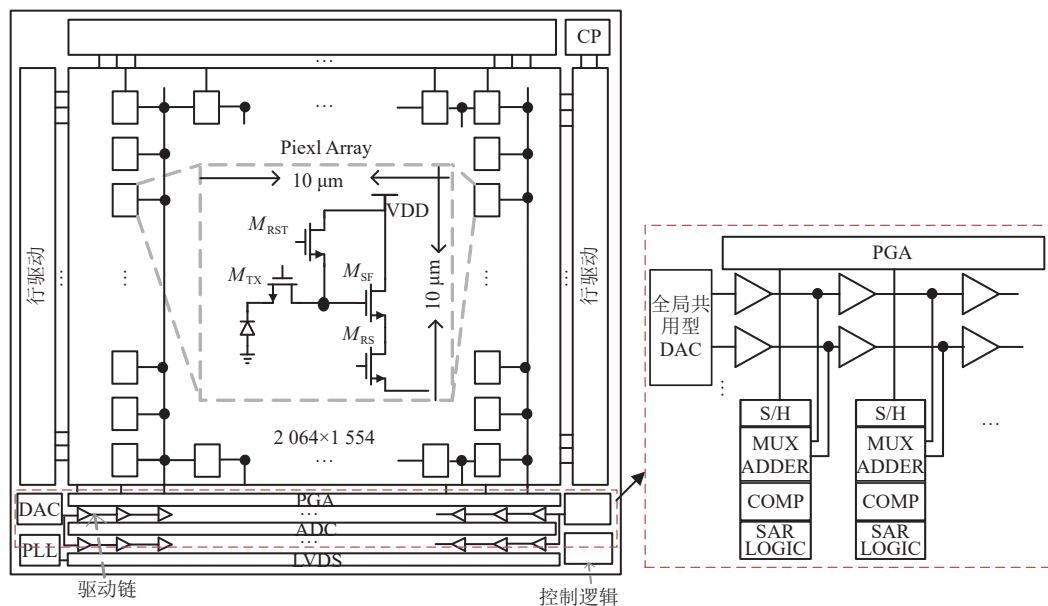


图 7 芯片整体框架图

本文提出的 ADC 量化精度为 12 bit, 量化范围为 1.2~2.8 V。模拟和数字电源电压分别为 3.3 V 和 1.2 V, 时钟信号频率为 120 MHz。本文针对适用于 CIS 列级 SAR ADC 的基本结构进行改进, 实现了 SAR ADC 中 DAC 模块的全局共用并完成了完整电路的设计与验证。采用码密度法对本文提出的电路进行静态参数仿真, 在像素输入端输入

1.2~2.8 V 的斜坡信号, 最终实际仿真验证结果如图 8 和图 9 所示, 可以看出在考虑各列寄生情况下单列读出电路的 DNL 为 $-0.8/0.8$ LSB, INL 为 $-1.4/0.4$ LSB。动态参数仿真验证时, 输入摆幅为 1.2~2.8V、频率为 249.023 kHz 的正弦信号, 经过读出电路后, 根据那奎斯特采样定律, 在输出的正弦信号上采集 1024 个点并输入 MATLAB 中进

行傅里叶变化, 最终得到的 FFT 实际验证频谱图如图 10 所示。由图中可知该读出电路结构最终能够实现的信噪比 (SNR) 为 68.24 dB, 有效位数为 11.02 bit, SFDR 为 85.263 9 dB。

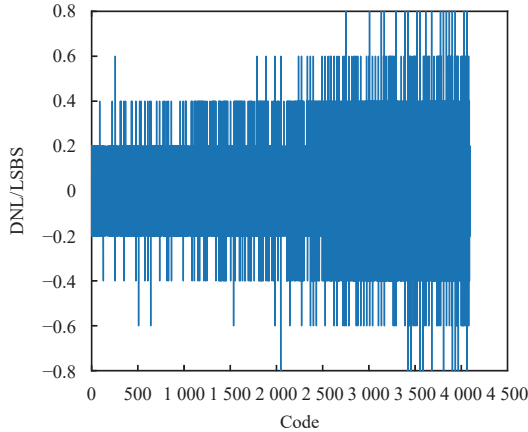


图 8 DNL 实际验证结果

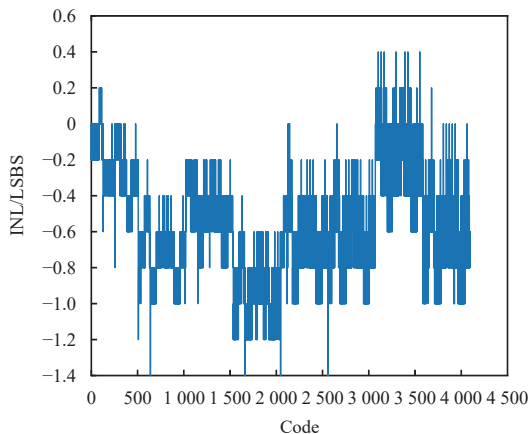


图 9 INL 实际验证结果

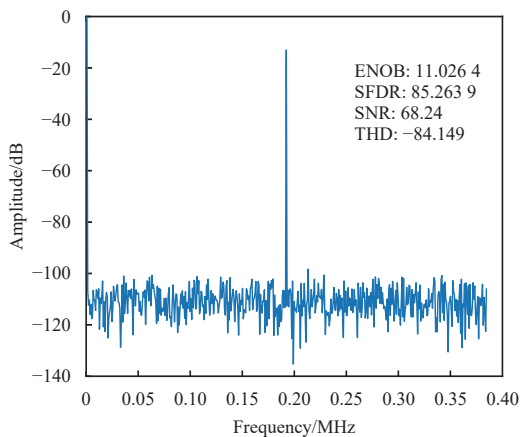


图 10 FFT 动态参数实际验证结果

在上述验证基础上, 对比了本文所提出的电路结构在不同面阵大小应用时的列级功耗, 由图 11

可知, 在应用于几百列面阵时, 列级功耗开始展现出明显的下降优势, 因此该结构可以进一步推广至大面阵的应用领域。

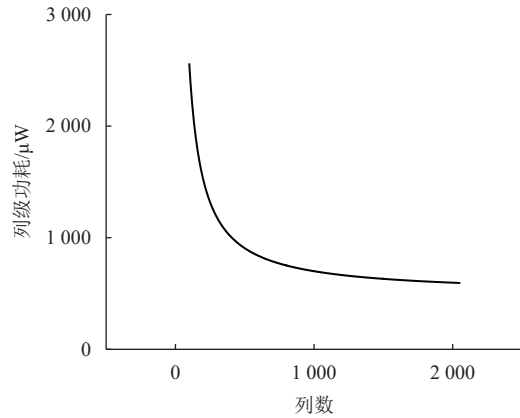


图 11 本结构在不同面阵下的列级功耗

本文结构与相同领域类似结构性能对比如表 1 所示, 表中面积、功耗指标皆为单列读出电路的面积与功耗。本文提出的列级 SAR ADC 结构与同样应用于 CIS 中的 SAR ADC 结构具有单列面积小的优点, 相较于文献 [17] 中提出的 SAR ADC, 本文提出的结构在保证相同精度的前提下面积远小于传统类型的 SAR ADC。与文献 [18] 相比, 本文的转换时间仅是其 1/39。本文提出的结构虽然读出电路的转换速度有所提高, 但是相较于 SS 有 μW 级功耗增加, 这主要是因为各列加法器为了保证加法运算的精度需要引入较高精度的缓冲器, 以及在全局共用型 DAC 与各列间为了保证驱动能力引入的缓冲器所导致, 但综合对比参数, 性能收益仍然比较突出。文献 [19] 提出的 DFF I- $\Sigma\Delta$ /SAR ADC 结构虽然其转换时间是本文结构速度的 1/5, 但是其为了实现该结构牺牲了精度, 其面积近似是本文结构的 1.3 倍, 在对读出电路列宽要求较为严格的列级读出电路中, 本文所提出的结构显然具有较大优势。文献 [15] 中的 SAR/SS ADC 精度以及面积与本文结构近似, 但是其速度不及本文结构。相较于文献 [20] 中的传统结构 SAR ADC, 本文具有明显的面积优势, 能够在更小的面积上实现满足设计预期的精度。

综上所述, 本文提出的基于全局共用型 DAC 的列级 SAR ADC 结构在保证量化精度的同时, 大大缩短了转换时间以及结构面积, 非常适合应用在大面阵高速列级读出电路中。

表 1 本文设计方法与相同领域类似结构的性能对比

参数	文献[17]	文献[18]	文献[19]	文献[15]	文献[20]	本文
工艺/nm	65	90	130	90	40	55
结构	SAR	Two Step SS	DFE I- Σ ASAR	SAR/SS	SAR	SAR
ADC精度/bit	12	12	12	12	16	12
转换时间/ μ s	1.4	39	0.21	2.7	12.5	1
DNL/LSB	± 1	+5/-7	+0.62/-0.43	+0.84/-0.45	N/A	+0.8/-0.8
INL/LSB	± 1	+4/-1	+7/-10.85	+0.74/-1.5	N/A	+0.4/-1.4
有效位数/bit	11.3	N/A	9.2	N/A	13.8	11.02
面积/ μ m ²	44.8 \times 447.4	5.6 \times 1 007	5 \times 920	2.2 \times 998	74 000	10 \times 350
功耗/ μ W	142.8	6.35	260.5	56	140	264.0

4 结束语

本文针对高帧频 CMOS 图像传感器对列级读出电路的高速需求, 在传统 SAR ADC 的结构基础上进行了改进, 提出了一种基于全局共用型 DAC 的列级 SAR ADC 结构。该结构使得 SAR ADC 在面积需求大幅度减小的同时仍保持了结构的速度优势, 使得 SAR ADC 能够更适用于较大面阵的 CIS。基于 55 nm CMOS 工艺完成了具体电路设计与仿真验证, 最终结果显示本文提出的改进结构 DNL 不超过 ± 0.8 LSB, INL 不超过 -1.4 LSB/ $+0.4$ LSB, 动态范围为 1.6 V, 列级功耗为 264 μ W, 行读出时间仅为 1 μ s。信噪比达到 68.24 dB, 有效位数为 11.02 bit。与同类型文献相比, 本文提出的 ADC 结构相较于传统 SS ADC 结构提高了 68.75%, 相较于传统 SAR ADC 结构面积大幅度减小, 为大面阵高速 CMOS 图像传感器提供了全新的解决方案。

参考文献

- [1] ZHANG Q H, NING N, LI J, et al. A high area-efficiency 14-bit SAR ADC with hybrid capacitor DAC for array sensors[J]. *IEEE Transactions on Circuits and Systems I: Regular Papers*, 2020, 67(12): 4396-4408.
- [2] KAUR A, MISHRA D, SARKAR M. A 12-bit, 2.5-bit/phase column-parallel cyclic ADC[J]. *IEEE Transactions on Very Large Scale Integration Systems*, 2019, 27(1): 248-252.
- [3] 郭仲杰, 程新齐, 余宁梅, 等. 面向超大面阵 CMOS 图像传感器的列总线自加速建立方法研究[J]. *电子学报*, 2023, 51(6): 1581-1589.
GUO Z J, CHENG X Q, YU N M, et al. Research on self-accelerated establishment method of column bus for super large array CMOS image sensor[J]. *Acta Electronica Sinica*, 2023, 51(6): 1581-1589.
- [4] KIM J B, HONG S K, KWON O K. A low-power CMOS image sensor with area-efficient 14-bit two-step SA ADCs using pseudomultiple sampling method[J]. *IEEE Transactions on Circuits and Systems II: Express Briefs*, 2015, 62(5): 451-455.
- [5] SEO M W, SUH S H, IIDA T, et al. A low-noise high intrascene dynamic range CMOS image sensor with a 13 to 19b variable-resolution column-parallel folding-integration/cyclic ADC[J]. *IEEE Journal of Solid-State Circuits*, 2012, 47(1): 272-283.
- [6] 冯睿. 用于 CMOS 图像传感器的逐次逼近型模数转换器的研究[D]. 成都: 电子科技大学, 2023.
FENG R. Research on successive approximation analog-to-digital converter for CMOS image sensor[D]. Chengdu: University of Electronic Science and Technology of China, 2023.
- [7] WANG Y L, GUO Z J, GUO Y M, et al. High speed column level ADC design with TDC technology for CMOS image sensor[C]//Proceedings of the 6th International Conference on Electronics Technology. New York: IEEE, 2023: 180-184.
- [8] KAUR A, SARKAR M. An input folding high speed cyclic ADC for column-parallel readout in CMOS image sensors[C]//Proceedings of the IEEE International Symposium on Circuits and Systems. New York: IEEE, 2022: 910-914.
- [9] 郭仲杰, 苏昌勛, 许睿明, 等. 基于粗细量化并行与 TDC 混合的 CMOS 图像传感器列级 ADC 设计方法[J]. *电子学报*, 2024, 52(2): 486-499.
GUO Z J, SU C X, XU R M, et al. Column level ADC design method of CMOS image sensor based on coarse and fine quantization parallel and TDC hybrid[J]. *Acta Electronica Sinica*, 2024, 52(2): 486-499.
- [10] 郭仲杰, 许睿明, 程新齐, 等. 面向亿级 CMOS 图像传感器的高速全并行两步式 ADC 设计方法[J]. *电子学报*, 2023, 51(8): 2067-2075.
GUO Z J, XU R M, CHENG X Q, et al. High speed fully parallel two-step ADC design method for hundred million level CMOS image sensors[J]. *Acta Electronica Sinica*, 2023, 51(8): 2067-2075.
- [11] XU R M, GUO Z J, CHENG X Q, et al. A 13-bit high speed two-step single slope ADC design method for hundreds of mpxiel CMOS image sensors[C]//Proceedings

- of the IEEE 5th International Conference on Electronics Technology. New York: IEEE, 2022: 147-151.
- [12] XIE S, THEUWISSEN A. A 10 bit 5 MS/s column SAR ADC with digital error correction for CMOS image sensors[J]. *IEEE Transactions on Circuits and Systems II: Express Briefs*, 2020, 67(6): 984-988.
- [13] XU R Y, LIU B, YUAN J. A 1500 fps highly sensitive 256×256 CMOS imaging sensor with in-pixel calibration[J]. *IEEE Journal of Solid-State Circuits*, 2012, 47(6): 1408-1418.
- [14] KIM M K, HONG S K, KWON O K. An area-efficient and low-power 12-b SAR/single-slope ADC without calibration method for CMOS image sensors[J]. *IEEE Transactions on Electron Devices*, 2016, 63(9): 3599-3604.
- [15] TANG F, CHEN D G, WANG B, et al. Low-power CMOS image sensor based on column-parallel single-slope/SAR quantization scheme[J]. *IEEE Transactions on Electron Devices*, 2013, 60(8): 2561-2566.
- [16] ZHANG X W, FAN W, XI J X, et al. A 14-bit 150KS/s SAR ADC with PGA for CMOS image sensor[C]//Proceedings of the IEEE International Symposium on Signal Processing and Information Technology. New York: IEEE, 2019: 1-5.
- [17] MARKTANI M A, AHAITOUF A, AHAITOUF A. A low power successive approximation ADC with variable-resolution for CMOS image sensor[C]//Proceedings of the International Conference on Wireless Technologies, Embedded and Intelligent Systems. [S. l.]: IEEE, 2019: 1-6.
- [18] PARK H, YU C Z, KIM H, et al. Low power CMOS image sensors using two step single slope ADC with bandwidth-limited comparators & voltage range extended ramp generator for battery-limited application[J]. *IEEE Sensors Journal*, 2020, 20(6): 2831-2838.
- [19] FRAZZICA F, YASUE T, SPAGNOLO A, et al. A 12 bit 4.7-MS/s 260.5- μ W digital feed-forward incremental- $\Sigma\Delta$ -SAR ADC in 0.13- μ m CMOS for image sensors[J]. *IEEE Sensors Journal*, 2021, 21(19): 21653-21666.
- [20] ALMARASHLI A, ANDERS J, BECKER J, et al. A Nyquist rate SAR ADC employing incremental Sigma Delta DAC achieving peak SFDR = 107 dB at 80 kS/s[J]. *IEEE Journal of Solid-State Circuits*, 2018, 53(5): 1493-1507.

责任编辑 叶 芳