

DOI: 10.3969/j.issn.1671-024x.2024.03.009

## 高频双频 Buck 变换器平面集成磁件优化设计

高圣伟, 于冠恒, 赵虹宇

(天津工业大学 天津市电气装备智能控制重点实验室, 天津 300387)

**摘要:** 针对目前开关器件和磁性元件性能不足导致双频 Buck 变换器的效率和功率密度低的问题, 研究了一种高效高功率密度的双频 Buck 变换器。变换器将工作在连续导通(CCM)模式, 采用解耦合的平面集成电感器完成系统磁元件的集成, 结合磁件的集成方法、有限的 PCB 层数和变换器的特性给出双频 Buck 变换器的参数, 然后, 提出了一种双频 Buck 变换器平面磁件的设计方法, 并完成系统磁元件的优化设计。最后, 基于第 3 代半导体 SiC 器件以及平面集成磁件, 设计了额定功率 200 W、开关频率 400 kHz 的双频 Buck 变换器。结果表明: 该变换器峰值效率将达到 96.1%, 功率密度为 46.1 W/in<sup>3</sup> (1 in = 25.4 mm), 验证了双频 Buck 变换器设计方法的正确性和有效性。

**关键词:** 双频 Buck 变换器; 平面磁件; 高频高效高功率密度; SiC 器件

中图分类号: TN624

文献标志码: A

文章编号: 1671-024X(2024)03-0066-09

### Optimal design of planar integrated magnetics for high-frequency double-frequency Buck converter

GAO Shengwei, YU Guanheng, ZHAO Hongyu

(Tianjin Key Laboratory of Intelligent Control of Electrical Equipment, Tiangong University, Tianjin 300387, China)

**Abstract:** In order to solve the problem that the efficiency and power density of double frequency Buck converters are still relatively low, which are caused by insufficient switching devices and magnetic components, a double-frequency Buck converter with high efficiency and high power density is proposed. Converter will work in CCM mode, using decoupled planar integrated inductors to complete the integration of the magnetic components of the system. Combined with the integration method of magnetic components, the limited number of PCB layers and the characteristics of the converter, the parameters of the double frequency Buck converter are given. Then, a design method of planar magnetic components is proposed, and the optimal design of the magnetic components of the system is completed. Finally, based on the third-generation semiconductor SiC devices and planar integrated magnetic components, a double-frequency Buck converter with a rated power of 200 W and the switch frequency of 400 kHz is designed. The results show that the peak efficiency of the converter will reach 96.1%, and the power density will be 46.1 W/in<sup>3</sup> (1 in = 25.4 mm). These confirm the correctness and effectiveness of the double-frequency Buck converter design method.

**Key words:** double frequency Buck converter; planar magnetics; high frequency, high efficiency and high power density; SiC devices

双频 Buck (double frequency Buck, DFBuck) 变换器是由 2 个不同频率的 Buck 变换器级联而成的, 在拥有高频 Buck 变换器输出特性的同时, 只承担低频 Buck 的开关损耗, 能够在高开关频率下为系统带来更高质量的电能<sup>[1-3]</sup>。在未来供电系统中, 对 DC-DC 变换器的频率、效率以及功率密度要求越来越高, 高频化、平面化、集成化成为未来 DC-DC 变换器研究目

标<sup>[4]</sup>。目前 DFBuck 变换器大多采用 Si 器件, 工作频率仍然停留在 25~100 kHz<sup>[6-8]</sup>, 功率密度和效率仍然难以满足供电系统的需求, 也难以体现 DFBuck 变换器在高频工作时的优势。第 3 代半导体器件 (如 SiC 器件) 的发展使得 DFBuck 变换器工作在更高的频率成为可能, 也将提高变换器的性能和功率密度。在高频下, 传统的绕制磁件正逐渐被具有平面磁芯和印刷电路板

收稿日期: 2022-06-24 基金项目: 天津市科技计划项目 (20YDTPJC01520)

通信作者: 高圣伟 (1978—), 男, 博士后, 教授, 主要研究方向为现代电力电子技术及其应用。E-mail: gaoshengwei@tiangong.edu.cn

(PCB)绕组的平面磁件代替,这种磁件存在可重复高、体积小、功率密度高等优点。平面磁件设计的合理性对 DC-DC 变换器而言是十分重要的,因为不合理的平面磁件存在产热高、损耗大等问题,将影响变换器的正常工作<sup>[9-12]</sup>。

目前学者针对高频高效的变换器以及平面磁件的优化做出了大量的研究。文献[13]针对低压大电流场合下的 LLC 谐振变换器,引入矩阵变压器来减小磁元件的电流,具有 PCB 绕组的变压器设计在 UI 磁芯上,同时提出了针对变压器的损耗和磁件体积的优化设计方法,完成了系统设计;文献[14]在文献[13]的基础上,针对磁件和变换器的结构进行了优化,使得变换器的性能得到提升,但文中对于变换器的研究以及磁元件的优化方法并不适用于 DFbuck 变换器。文献[15]提出了一种基于响应面方法(MLM),通过有限元法遍历变压器的变量得到平面变压器的参数;文献[16]又将此方法推广到平面电感上,受仿真速度的限制,此方法不适用于实际设计中。文献[17]通过对两级式 DC-DC 进行分析,给出了变换器的参数以及磁元件的结构,并给出了一套耦合集成的平面电感器系统的优化方法,使得电感之间的耦合系数到达预期的值。此方法并不适用于 DFbuck 变换器和平面解耦集成磁件的优化设计,但却为非隔离变换器以及平面集成电感的研究提供了参考。文献[18]针对多相 CLLC 谐振变换器分析,给出了系统参数以及控制方法,在磁元件上,针对平面矩阵变压器单层多匝绕组进行研究,并给出了一套优化方法,但此方法只适用于正弦波激励下的线圈,另外该文也没有考虑同层多匝线圈间的邻近效应。文献[19]通过建立变压器 Dowell 模型,并通过傅里叶分解的方法,得到了任意波形激励下的 PCB 直交流阻抗之间的比例关系,文献[20]将此方法推广至平面电感的设计,同时对于高频导线间的集肤效应和邻近效应进行分析,这为 DFbuck 变换器平面集成磁件的设计提供了可能。

本文针对高频高效的 DFbuck 变换器及其平面电感器进行研究。首先,针对 DFbuck 变换器的特性分析,选择合适的耦合方式以及磁集成方法将 DFbuck 变换器的高低频电感集成在一个平面磁芯上,结合有限的 PCB 层数以及变换器特性给出 DFbuck 变换器系统参数;然后,综合分析影响磁元件损耗的因素,完成平面磁件的优化设计;最后,基于此磁件以及第 3 代半导体 SiC 器件,完成输入范围 64~160 V、输出电压 48 V、额定功率 200 W 的 DFbuck 变换器,并完成实验验证。

## 1 DFbuck 参数分析

### 1.1 解耦集成的优势

DFbuck 变换器的结构如图 1 所示。

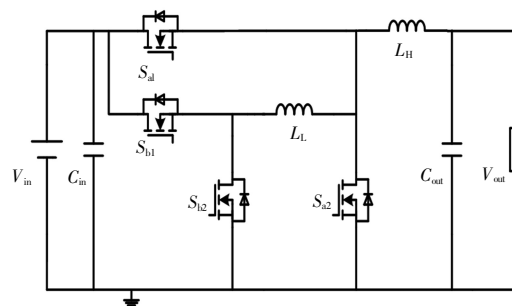


图 1 双频 Buck 变换器

Fig.1 Double frequency Buck converter

DFbuck 变换器可工作在连续导通(CCM)以及断续导通(DCM)模式下,由于 DFbuck 变换器只承担低频单元的开关损耗,系统的总开关损耗较低,DCM 模式降低变换器开关损耗的优势并不明显,且会降低系统稳定性,增加控制策略的难度。为保证系统的稳定性,简化控制策略,本文的 DFbuck 变换器在全输入电压范围内工作在 CCM 模式,电感电流的纹波系数将发生改变,这将降低平面电感器的设计难度,提高变换器的效率。图 1 中: $S_{a1}$ 、 $S_{a2}$  为高频单元的功率器件; $S_{b1}$ 、 $S_{b2}$  为低频单元的功率器件; $V_{in}$  为输入电压; $V_{out}$  为输出电压。DFbuck 变换器的高低频单元存在 2 个大小不同的电感, $L_H$  为高频电感, $L_L$  为低频电感,在提高变换器的功率密度上,集成电感的概念目前得到广泛的应用,通过集成电感能够减小磁芯的数量和体积,减小变换器的磁损,提高变换器的效率及功率密度。

图 2 为输入电压为 160 V 时 DFbuck 变换器  $S_{a1}$  和  $S_{b1}$  的驱动信号(高低频单元的开关频率与下文一致)。图 2 中: $U_H$ 、 $U_L$  为高低频单元的电感耦合系数为 0 时,电感两端的电压波形; $I_H$ 、 $I_L$  为高低频单元的电感耦合系数为 0 时的电流波形。 $t_0 - t_1$  时间段 DFbuck 变换器的等效电路如图 3 所示。图 3 中, $S_{a1}$ 、 $S_{b1}$  开通,此时高低频电感两端电压  $U_H(M=0)$ 、 $U_L(M=0)$  的值为式(1),当高低频电感之间相互耦合时,高低频电感两端电压将相互感应,设感应系数为  $k_0$ ,此时高低频电感两端电压  $U_H(M \neq 0)$ 、 $U_L(M \neq 0)$  的值为式(2),此时 DFbuck 变换器将失去电能转化的功能。通过仿真表明,DFbuck 变换器高低频耦合时,即使针对高低频电感电流进行控制,其性能也与单个高频 Buck 一致。高低频电感耦合将破坏 DFbuck 的特性,电感与电感的解耦集成成为集成 DFbuck 变换器高低频电感的方法。

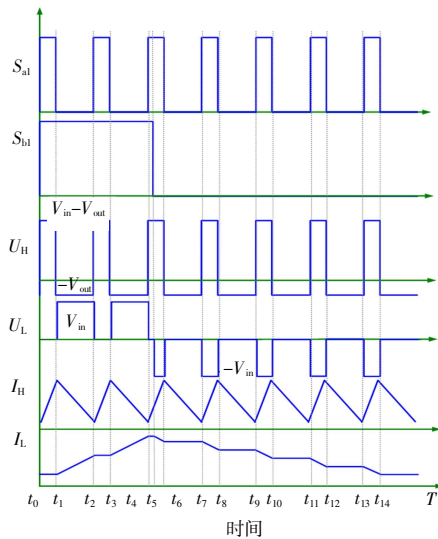


图 2 DFbuck 变换器稳态波形

Fig.2 Steady state waveforms of DFbuck

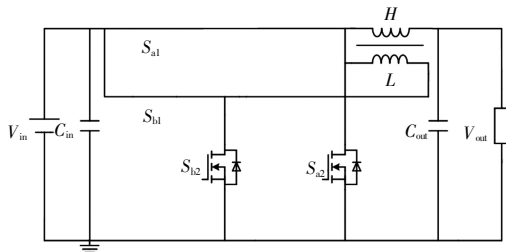


图 3  $t_0 - t_1$  时间段内 DFbuck 变换器等效电路

Fig.3 Equivalent circuit of DFbuck in  $(t_0 - t_1)$

$$\begin{cases} (U_H)_{M=0} = V_{in} - V_{out} \\ (U_L)_{M=0} = 0 \end{cases} \quad (1)$$

$$\begin{cases} (U_H)_{M \neq 0} = k(U_L)_{M \neq 0} \\ (U_L)_{M \neq 0} = 0 \end{cases} \quad (2)$$

图 4 为电感与电感的解耦集成方法。

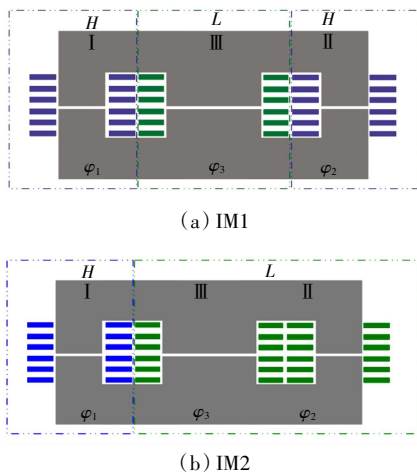


图 4 电感与电感的解耦集成方法

Fig.4 Decoupling integration method of inductors

目前学者提出了大量电感与电感的解耦集成方

法,文献[7]提出了如图 4(a)所示的磁件结构,此方法将高频电感绕制在 I、II 柱上,将低频电感绕制在 III 柱上,记为 IM1。文献[8]提出了将一个电感绕制在 I 柱上,另一个电感绕制在 II、III 柱,如图 4(b)的磁集成方法,记为 IM2。不同的磁元件会影响系统的性能,磁元件绕制结构的不同会影响磁元件的磁链,从而影响变换器的性能,不同磁元件在 I、II、III 柱上的磁链为  $\varphi_1, \varphi_2, \varphi_3$ , I、II 柱的截面积为 III 柱的 1/2,每个磁柱上开相同的气隙,得到  $\varphi_1, \varphi_2, \varphi_3$  的表达式为式(3)和式(4):

$$\text{IM1: } \begin{cases} \varphi_1 = \varphi_H - \varphi_L/2 \\ \varphi_2 = \varphi_H + \varphi_L/2 \\ \varphi_3 = \varphi_L \end{cases} \quad (3)$$

$$\text{IM2: } \begin{cases} \varphi_1 = \varphi_H \\ \varphi_2 = 2\varphi_L/2 - \varphi_H/3 \\ \varphi_3 = 2\varphi_H/3 + \varphi_L/3 \end{cases} \quad (4)$$

式中:  $\varphi_H, \varphi_L$  分别为高、低频电感的磁链,对于 IM1,其大量的磁链集中在截面积较小的 II 柱上,这容易造成磁元件的饱和,降低系统稳定性,影响双频变换器的特性。另外,相距较远的低频电感的连接也会增大平面电感器的面积。IM2 的磁链分布由下文得出,其磁链分布更加均匀,不易饱和,相邻两磁柱上的低频电感也将减小磁元件的面积,并且变换器的稳态与动态特性与分立磁件一致,因此 DFbuck 变换器选择图 4(b)所示的磁集成方法。

### 1.2 IM2 解耦条件

图 5 为 IM2 磁路的等效模型。

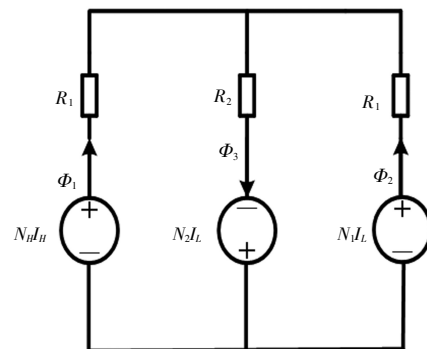


图 5 IM2 的磁路等效模型

Fig.5 Magnetic circuit equivalent model of IM2

图 5 中:  $N_H$  代表 H 的匝数;  $N_H I_H$  为高频电感的磁动势;  $N_1$  代表 L 在 II 柱的匝数;  $N_1 I_L$  为磁动势;  $N_2$  代表 L 在 III 柱的匝数;  $N_2 I_L$  为磁动势;  $R_1, R_1, R_2$  分别为磁柱 I、II、III 的磁阻(I、II 柱的气隙磁阻和磁芯磁阻相同,均用  $R_1$  表示),得到 I、II、III 柱上磁密的表达式为式(5):

$$\begin{cases} \Phi_1 = N_H I_H \frac{R_1 + R_2}{\Delta} - N_{L1} I_L \frac{R_2}{\Delta} + N_{L2} I_L \frac{R_2}{\Delta} \\ \Phi_2 = -N_H I_H \frac{R_2}{\Delta} + N_{L1} I_L \frac{R_1 + R_2}{\Delta} + N_{L2} I_L \frac{R_1}{\Delta} \\ \Phi_3 = N_H I_H \frac{R_1}{\Delta} + N_{L1} I_L \frac{R_1}{\Delta} + 2N_{L2} I_L \frac{R_1}{\Delta} \\ \Delta = 2R_1^2 + R_1 R_2 \end{cases} \quad (5)$$

由法拉第电磁感应定律可以得到磁元件的磁通变化率与系统电感电流变化率的关系如式(6)所示:

$$\begin{cases} U_H = N_H \frac{d\Phi_1}{dt} = L_{HH} \frac{dI_H}{dt} + M_{HL} \frac{dI_L}{dt} \\ U_L = N_{L1} \frac{d\Phi_2}{dt} + N_{L2} \frac{d\Phi_3}{dt} = M_{LH} \frac{dI_H}{dt} + L_{LL} \frac{dI_L}{dt} \end{cases} \quad (6)$$

式中:  $L_{HH}$ 、 $L_{LL}$  分别为  $H$  和  $L$  的自感;  $M_{LH}$ 、 $M_{HL}$  为高低频电感之间的互感。结合式(5)~(6), 得到  $M_{HL}$  与  $M_{LH}$  的值为式(7):

$$\begin{cases} M_{HL} = \frac{N_H(N_2 R_2 - N_1 R_1)}{\Delta} \\ M_{LH} = \frac{N_L(-N_2 R_2 + N_1 R_1)}{\Delta} \end{cases} \quad (7)$$

当满足  $N_2 R_2 = N_1 R_1$  时, 高低频电感完全解耦, 对于 EE 磁芯, 需保证 III 柱截面积为边柱的 2 倍, 并且  $N_1 = 2N_2$  时, 解耦成立。

### 1.3 DFBuck 变换器的参数分析

本文研究的 DFBuck 变换器的输入电压为 64 ~ 160 V, 输出电压为 48 V。为保证变换器有较高的功率密度, 高频部分开关频率  $f_H$  定为 400 kHz, 为保证磁件正常工作, 减小磁元件的损耗, 磁芯采用平面 EE32 磁芯, 以 6 层 PCB 线圈作为磁件绕组, 磁件气隙取 0.2 mm。为保证高低频单元解耦并充分利用 PCB,  $N_H$ 、 $N_1$ 、 $N_2$  的值分别为 6、12、6。图 6 为 IM2 的电容回转器模型。

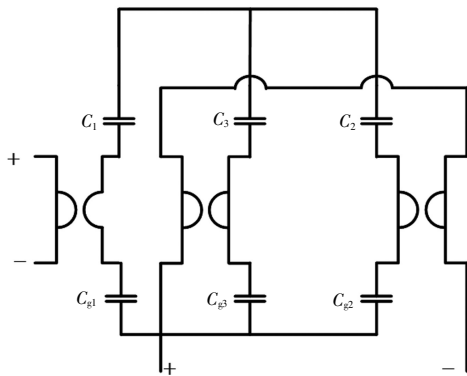


图 6 IM2 的电容回转器模型

Fig.6 Capacitor gyrator model of IM2

通过电容回转器模型进行分析, 可以得到高低频电感与线圈匝数关系如式(8), 为简便分析, 暂不考虑杂散磁通。

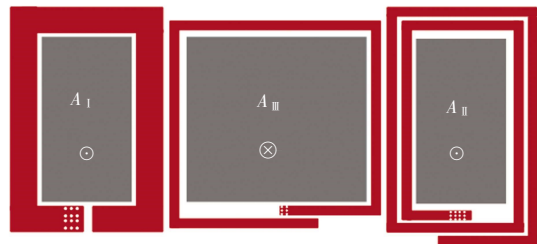
$$\begin{cases} H = N_H^2((C_1 // C_{g1}) // ((C_2 // C_{g2}) + ((C_3 // C_{g3}))) \\ L = (N_1 + N_2)^2((C_2 // C_{g2}) // ((C_3 // C_{g3}))) \\ C = \frac{\mu_0 \mu_r A_i}{l} \end{cases} \quad (8)$$

式中:  $\mu_0$  为真空磁导率;  $\mu_r$  为磁芯磁导率;  $C_i$ 、 $C_{g_i}$  ( $i = I, II, III$ ) 分别为磁柱及中间气隙的等效磁导;  $l_g$  为气隙长度;  $A_i$  ( $i = I, II, III$ ) 为 I、II、III 磁柱截面积。通过上式可得, 高频电感值为 12  $\mu$ H, 低频电感值为 84  $\mu$ H。为确保 DFBuck 变换器特性, 需保证高低频单元的电感电流的纹波系数相同<sup>[6]</sup>, 通过式(9)得到系统低频部分的开关频率  $f_L$  为 400/7 kHz, 电感电流的纹波系数  $k$  与高频单元一致性为 0.87。

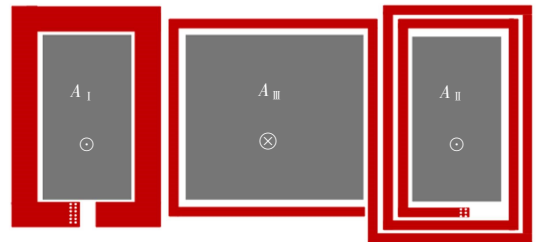
$$2k f_L I_{out} L > V_{in} D(1 - D) \quad (9)$$

式中:  $I_{out}$  为输出电流。最终得到了双频变换器的参数以及平面磁元件的结构。

图 7 为 PIM 的俯视图。



(a) IM2 磁件俯视图



(b) 低频电感同层走线结构

图 7 PIM 的俯视图

Fig.7 Top view of PIM

图 7(a) 为具有 PCB 线圈和平面磁芯的 IM2 磁件 (planar integrated magnetic components, PIM) 的俯视图, 其电流的方向与绕制磁件的电流方向一致, 此结构存在低频电感通孔数量较多的问题, 这将造成大量的通孔损耗, 于是提出图 7(b) 所示的低频电感同层走线的结构, 此结构将减小磁件的通孔损耗, 进一步提高系统的效率。

上文首先针对 DFBuck 变换器的特性进行分析, 选择合适的耦合方式以及磁集成方法完成高低频电感的磁集成; 之后分析集成后的磁元件, 得到其满足系统要求的条件; 然后基于磁件的集成方法, DFBuck 变换器的特性和有限 PCB 层数, 分析变换器的参数;

最后针对磁元件 PCB 的走线方式进行改进,得到最终磁元件的正视图如图 8 所示。

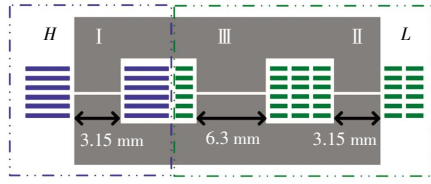


图 8 PIM 的结构  
Fig.8 Structure of PIM

## 2 平面集成磁件的优化设计

系统的平面磁件决定着系统的效率和功率密度,不合理的磁件将产生大量的损耗以及温升,针对平面磁件的绕组和磁芯进行分析,对提高变换器效率十分重要,因此具备 2 个不同频率电感的平面集成电感器的优化成为研究重点。

### 2.1 PIM 绕组铜厚分析

PIM 绕组铜厚影响着铜导线的截面积、线圈中磁动势的分布、绕圈的集肤效应以及线圈之间的邻近效应,进而影响平面磁件中直流阻抗与交流阻抗。由文献[20]可知,对于高频率的 PCB 线圈,线圈的直流阻抗  $R_{dc}$  和交流阻抗  $R_{ac}$  之间存在比例 FR,在考虑绕组本身的集肤效应以及绕组间的邻近效应时,交流阻抗  $R_{ac}$  分解为由集肤效应产生的阻抗  $R_{skin}$  和由邻近效应产生的阻抗  $R_{proximity}$ ,  $R_{skin}$ 、 $R_{ac}$ 、 $R_{proximity}$ 、 $R_{dc}$  之间满足式(10):

$$R_{ac} = FR \cdot R_{dc} = R_{skin} + R_{proximity} = (FR_{skin} + FR_{proximity})R_{dc} \quad (10)$$

式中:  $FR_{skin}$  与  $FR_{proximity}$  分别为  $R_{skin}$  和  $R_{proximity}$  与  $R_{dc}$  之间的比值,  $FR_{skin}$  和  $FR_{proximity}$  的表达式为:

$$\left\{ \begin{aligned} FR_{skin} &= \frac{R_{skin}}{R_{dc}} = \frac{1}{2} \left( \frac{h}{\Delta} \right) \frac{\sinh(\frac{h}{\Delta}) + \sin(\frac{h}{\Delta})}{\cosh(\frac{h}{\Delta}) - \cos(\frac{h}{\Delta})} \\ FR_{proximity} &= \frac{R_{proximity}}{R_{dc}} = \frac{1}{2} \left( \frac{h}{\Delta} \right) \frac{(4m^2 - 1)}{3} \frac{\sinh(\frac{h}{\Delta}) - \sin(\frac{h}{\Delta})}{\cosh(\frac{h}{\Delta}) + \cos(\frac{h}{\Delta})} \end{aligned} \right. \quad (11)$$

式(11)中  $\Delta$  满足式(12):

$$\Delta = \sqrt{\frac{2\rho_{Cu}}{2\pi n f_x \mu_0}} \quad (12)$$

式(11)——(12)中:  $h$  为 PCB 厚度;  $\Delta$  为集肤深度;  $m$  为

PCB 的层数;  $\rho_{Cu}$  为铜的电导率;  $f_x$  代表频率;  $n$  为谐波的次数。其中低频电感的集肤深度  $\Delta L$  约为  $278 \mu\text{m}$ , 高频电感的集肤深度  $\Delta H$  约为  $105 \mu\text{m}$ 。通过式(11)和式(12)可以得到不同厚度不同频率的铜导线直流阻抗  $R_{dc}$  与交流阻抗  $R_{ac}$  之间的比例关系。

### 2.2 PIM 的阻抗分析

铜线直流阻抗的表达式为式(13):

$$R_{eq} = \rho_{Cu} \frac{l_{Cu}}{S} = \rho_{Cu} \frac{l_{Cu}}{w_{Cu}h} \quad (13)$$

式中:  $l_{Cu}$  为铜线长度;  $\rho_{Cu}$  为铜线电导率;  $S$  为铜线截面积;  $w_{Cu}$  为铜线宽度;  $h$  为铜线厚度。  $h$ 、 $l_{Cu}$ 、 $w_{Cu}$  为影响绕组阻抗的变量,影响磁件损耗,合理地设计  $h$ 、 $l_{Cu}$ 、 $w_{Cu}$  将降低磁件的绕组损耗。

PIM 的绕组由 6 层走线一致的 PCB 组成,在本节将针对第 1 层线圈优化,第 1 层线圈的俯视图如图 9 所示。

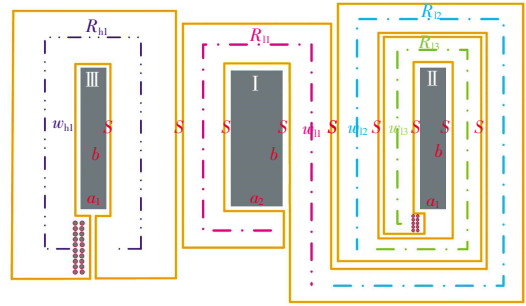


图 9 PIM 第 1 层绕组结构  
Fig.9 The first layer coil of PIM

图 9 中: I 柱为单匝高频线圈; II 柱为两匝低频线圈; III 柱为单匝低频线圈; 高频电感直流阻抗  $R_{dch}$  为 I 柱线圈直流阻抗,即为  $R_{h1}$ 。低频电感直流阻抗  $R_{del}$  为 III 柱线圈直流阻抗  $R_{l1}$  以及 II 柱两匝线圈直流阻抗  $R_{l2}$ 、 $R_{l3}$  的和。根据式(6),可以得到  $R_{dch}$ 、 $R_{del}$  与  $l_{Cu}$ 、 $w_{Cu}$ 、 $h$  的关系如式(14)——(16):

$$\left\{ \begin{aligned} R_{h1} &= 2\rho_{Cu} \frac{a_1 + b + 2w_{h1} + 4s}{w_{h1}h} \\ R_{l1} &= 2\rho_{Cu} \frac{a_2 + b + 2w_{l1} + 4s}{w_{l1}h} \\ R_{l2} &= \rho_{Cu} \frac{2a_1 + 2b + 0.5w_{l1} + 4w_{l2} + 7.5w_{l3} + 16s}{w_{l3}h} \\ R_{l3} &= 2\rho_{Cu} \frac{a_1 + b + 2w_{l3} + 4s}{w_{l3}h} \end{aligned} \right. \quad (14)$$

$$\left\{ \begin{aligned} R_{dch} &= R_{h1} \\ R_{del} &= R_{l1} + R_{l2} + R_{l3} \end{aligned} \right. \quad (15)$$

$$w_l = w_h + w_{l1} + 3s = w_{l1} + w_{l2} + w_{l3} + 4s \quad (16)$$

式中:  $a_1$  为磁芯边柱的长度;  $a_2$  为磁芯中柱的长度;  $b$  为磁芯的宽度;  $w_{h1}$ 、 $w_{l1}$ 、 $w_{l2}$ 、 $w_{l3}$  分别为直流阻抗为  $R_{h1}$ 、

$R_{11}, R_{12}, R_{13}$  的线圈宽度;  $s$  为导线间距和导线与磁芯的间距, 为简便运算,  $s$  取 15 mil (1 mil = 25.4  $\mu\text{m}$ );  $w_1$  代表磁芯窗口长度。由式(14)—(16)可以得到  $R_{dch}, R_{dcl}$  与  $w_{h1}, w_{11}, w_{12}, w_{13}, h$  之间的关系。

在 2.1 节中, 针对不同频率下不同厚度 PCB 线圈的直流阻抗与交流阻抗之间的关系  $FR_h$  和  $FR_1$ , 可以得到高低频线圈的交流阻抗与直流阻抗之间满足式(17):

$$\begin{cases} R_{ach} = FR_h \cdot R_{dch} \\ R_{acl} = FR_1 \cdot R_{dcl} \end{cases} \quad (17)$$

### 2.3 PIM 损耗的计算及优化

首先针对 PIM 的第 1 层线圈进行优化, 再推广至整个磁件, 式(18)为 PIM 第 1 层线圈的总损耗  $P_1$ 。

$$P_1 = I_{lms}^2 R_h + I_{lms}^2 R_l \quad (18)$$

式中:  $I_{lms}$  为高频单元电感的有效值;  $I_{lms}$  为低频单元电感的有效值;  $R_h$  为高频线圈的总阻抗;  $R_l$  为低频线圈的总阻抗。

将式(10)—(17)代入到式(18)中, 可以得到  $P_1$  的表达式为:

$$P_1 = f_1(w_{h1}, w_{11}, w_{12}, w_{13}, h) \quad (19)$$

为了能够得到低损耗的 PIM 绕组, 将在不同的  $w_{h1}, w_{11}, w_{12}, w_{13}, h$  中找到  $P_1$  的最小值, 结合式(16), 可得到  $P_1$  与  $w_{11}, w_{12}$  满足式(20), 在同一  $h$  下遍历  $w_{11}$  与  $w_{12}$ , 得到其  $P_1$  的值:

$$P_1 = f_2((w_1 - 3s - w_{11}), w_{11}, w_{12}, (w_1 - 4s - w_{12}), h) \quad (20)$$

式中: 在  $w_{11}, w_{12}$  取 [2.5, 3.0] mm 下的  $P_1$  的值如图 10 所示(其中铜导线  $h$  取 70  $\mu\text{m}$ )。

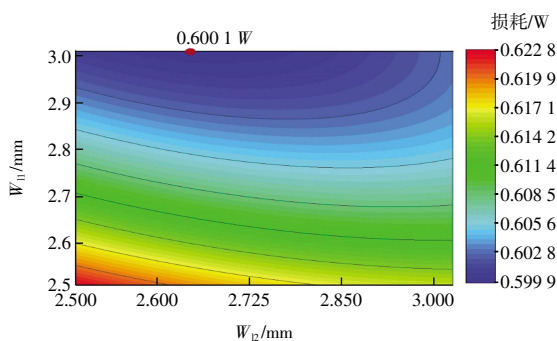


图 10 PIM 第 1 层绕组损耗分布

Fig.10 Loss distribution of the first layer coil of PIM

为防止 PCB 导线中走过电流过大, 按工业标准, 1 mm 铜线承载的最大连续电流为 3 A, 综合磁芯结构,  $w_{h1}, w_{11}, w_{12}, w_{13}$  应当满足式(21)的约束条件:

$$\begin{cases} w_{h1}, w_{11}, w_{12}, w_{13} > 2.5 \text{ mm} \\ w_{h1} + w_{11} + 3s < w_1 \\ w_{11} + w_{12} + w_{13} + 4s < w_1 \end{cases} \quad (21)$$

图 11 为不同铜厚线圈的 PIM 绕组损耗情况。

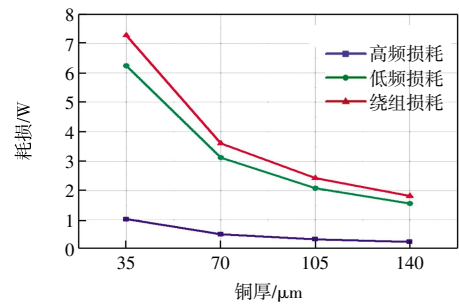


图 11 PIM 绕组损耗随铜厚变化

Fig.11 Variation of loss of PIM coil with thickness of copper

从图 11 中可以看出, 70  $\mu\text{m}$  厚的铜箔下绕组的损耗已经较小, 虽然 105  $\mu\text{m}$  和 140  $\mu\text{m}$  厚的铜箔下的绕组损耗更低, 但却增加了 PCB 的成本和工程难度, 因此选用 70  $\mu\text{m}$  的铜箔作为 PIM 的绕组, 此时高低频线圈的总损耗见图 11。

### 2.4 磁芯损耗

在低损耗的绕组基础上, 本节将针对磁芯损耗进行分析。式(22)为任意波形激励下磁芯损耗的计算公式:

$$\begin{cases} P_{e\_sin} = Cf_{\alpha} B_{max}^{\beta} V_e \\ P_{e\_pul} = C' K^{\alpha-1} P_{e\_sin} \\ K = \frac{2 \int_0^{2\pi} |\cos \theta|^{\alpha-1} d\theta}{\pi \int_0^{2\pi} |\cos \theta|^{\alpha} d\theta} \\ C' = \frac{1}{2^{\alpha}} \left[ \left( \frac{1}{D} \right)^{\alpha-1} + \left( \frac{1}{1-D} \right)^{\alpha-1} \right] \end{cases} \quad (22)$$

式中:  $P_{e\_sin}$  为正弦波激励下的磁芯损耗;  $P_{e\_pul}$  为任意波形激励下的磁芯损耗;  $f$  为正弦波激励的磁密;  $B_{max}$  为磁件的最大磁通密度;  $V_e$  为磁芯体积;  $C, \alpha, \beta$  与磁芯的材料有关;  $C', K$  为中间变量。

双频变换器的磁芯尺寸将由系统参数决定, 磁元件的材料和工作频率成为影响磁芯损耗的重要因素。图 12 为单位体积不同磁性材料的磁元件激励频率为 400 kHz 下磁芯损耗情况。

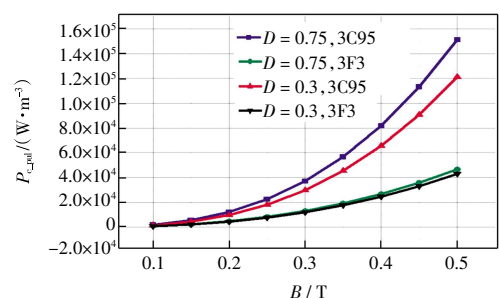


图 12 不同材料磁芯的损耗情况

Fig.12 Loss of core with different materials

由图 12 可知,3F3 材料的磁芯在此频率段将提供更加优越的性能。

磁性元件在系统中运行时,磁元件的损耗会受到多种因素影响,采用有限元法可以准确分析磁元件损耗,验证磁元件设计正确性。图 13 为 PIM 磁芯的磁通密度情况。

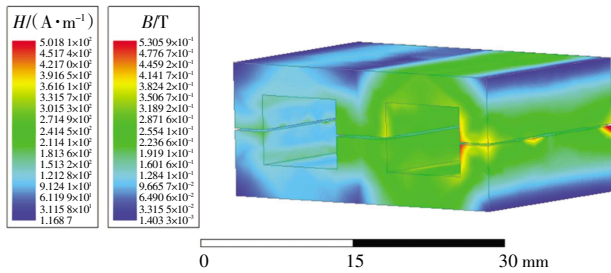


图 13 PIM 磁芯的仿真

Fig.13 Core simulation of PIM

通过仿真结果可知,本文设计的磁元件满足系统要求,同时得到磁元件的磁芯损耗。

### 3 实验验证

图 14 为本文的 DFBuck 变换器。

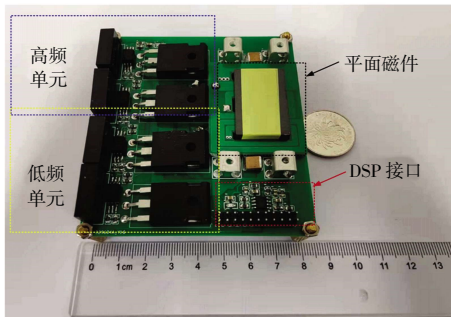


图 14 SiC 器件的 DFBuck 变换器实物

Fig.14 DFBuck with SiC device

系统的功率器件采用 SiC 器件,包含优化设计后的平面磁件。为降低系统成本,平面电感器绕组使用 3 个两层板叠放而成。高频部分工作频率为 400 kHz,低频部分工作频率为 57.142 kHz。系统的主控制器均采用 TI 公司的 TMS-320F28335。功率器件采用 CREE 公司的 C3M0015065D。对于平面集成电感器,高频电感同低频电感的 2 个绕组距离不同使得高频电感同低频电感 2 个绕组耦合系数与理论有所差异,在实际设计时,需通过数字电桥进行测试,并微调磁芯中柱宽度,使得高低频电感完全解耦。

图 15 和图 16 分别为输入 160 V、64 V 电压下系统输出电压  $V_{out}$ 、输出电流  $I_{out}$  以及高低频电感电流  $I_H$  和  $I_L$  的满载稳态波形。

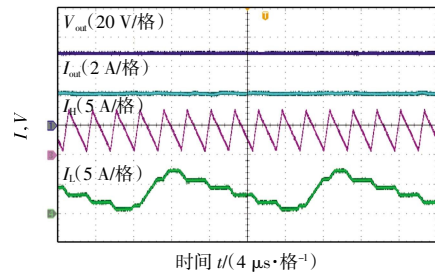


图 15 输入电压 160 V 时输出波形

Fig.15 Output wave form with 160 V input voltage

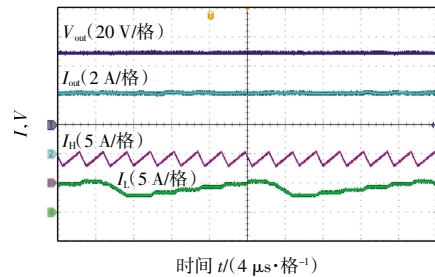


图 16 输入电压 64 V 时输出波形

Fig.16 Output wave form with 64 V input voltage

由图 15 和图 16 的实验波形可知,输入电压不同时,系统可保证稳定输出。DFBuck 变换器的低频单元与高频单元完全解耦,并且低频单元电流很好地追踪了高频单元电流,符合 DFBuck 变换器低频单元为高频单元分流的特性。实验波形与理论波形的差异是由于系统效率未达到 100%所致。

图 17 和图 18 分别为输入 160 V、64 V 电压下输出电压  $V_{out}$ 、输出电流  $I_{out}$  以及高低频电感电流的响应速度曲线。

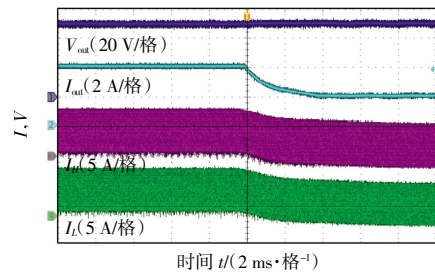


图 17 输入电压 160 V 时的系统响应

Fig.17 Resping waveform with 160 V input voltage

由图 17 和图 18 的实验波形可知,2 个输入电压等级下,当负载跳变时,系统均能实现快速响应。图 19 为传统设计方法下的 DFBuck 变换器。图 19 中,功率等级、电压等级与本文样机一致,样机采用 Si 器件,磁元件采用绕制集成磁件。Si 样机参数规格与本文样机参数规格如表 1 所示。

经测量和计算,SiC 样机功率密度将达到 46.1 W/in<sup>3</sup> (1 in = 25.4 mm),远超 Si 器件样机的 10.15 W/in<sup>3</sup>。图

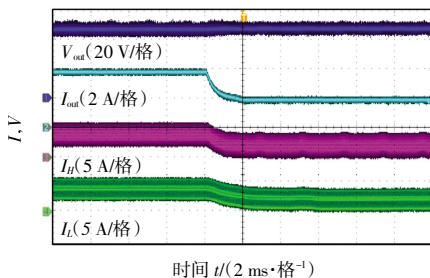


图 18 输入电压 64 V 时的系统响应

Fig.18 Responding waveform with 64 V input voltage

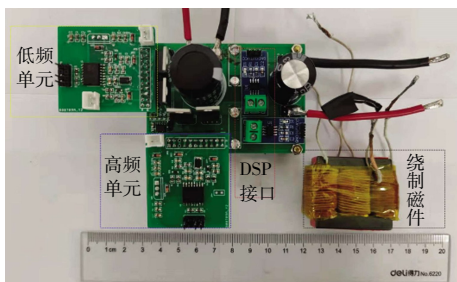


图 19 Si 器件的双频 Buck 变换器实物

Fig.19 DFBuck with Si device

表 1 系统参数

Tab.1 System parameters

参数	SiC 样机	Si 样机
功率器件	C3M0015065D	IRFP4137PBF
驱动芯片	ACPL-P346	IR2110s
$k$	0.87	0.20
死区时间/ns	150	200
磁件类型	平面集成磁件	绕制集成磁件
高频单元频率/kHz	400	100
低频单元频率/kHz	57.142	25

20 比较了 Si 器件系统和 SiC 器件系统的开关损耗和磁性元件损耗。

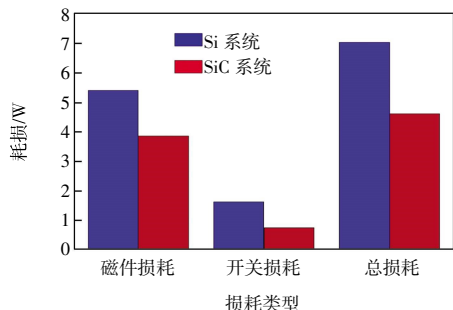


图 20 不同样机损耗对比

Fig.20 Comparison of loss comparison between two converter

由图 20 可见,相较于传统绕制磁件的 Si 样机,带有平面磁件的 SiC 样机将造成更低的损耗。针对 Si 器件的双频 Buck 变换器与 SiC 器件的双频 Buck 变换器全负载范围下系统的效率进行了测试,两系统的测试

条件相同,系统效率曲线如图 21 所示。

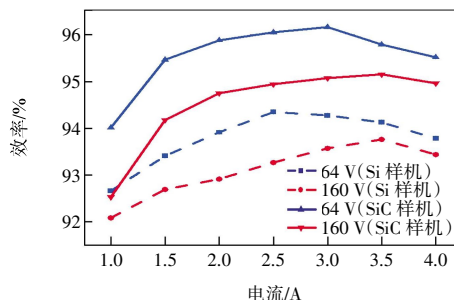


图 21 不同样机的效率对比

Fig.21 Comprison of efficiency of different devices

由图 21 可见,输入电压  $V_{in}$  的增加将加大变换器的开关损耗,系统的效率会随着输入电压的降低而升高。由图 21 还可以看出,本文带有 SiC 器件的高频 DFBuck 变换器在全负载范围内均能够高效地完成能量转换,并且能量转换效率优于 Si 器件的 DFBuck 变换器。

#### 4 结束语

本文设计了一种高效高功率密度的 DFBuck 变换器。为了提高变换器的效率与功率密度,系统高频单元定为 400 kHz,并使用 SiC 器件作为功率器件;双频变换器只承担低频单元开关损耗的特性能够减小功率器件的热应力,提高系统效率。电感电流纹波系数的增加将减小变换器磁元件的损耗,有助于有限 PCB 内的平面电感器的设计;与传统理念不同,带有平面集成磁件的 DFBuck 变换器系统参数将由平面集成电感器以及双频变换器特性共同决定,这将平衡系统磁元件和开关器件的损耗。针对带有不同频率绕组的平面集成电感器,提出了一种考虑集肤效应和邻近效应的优化方法,并完成 DFBuck 变换器平面集成电感器的优化设计。最终,完成带有平面集成磁件和 SiC 器件的高频 DFBuck 变换器,系统峰值效率为 96.1%,功率密度将达到 46.1 W/in<sup>3</sup>,较同等级的低频率样机均得到提高,达到了高效高功率密度的目的。

#### 参考文献:

[1] FU M F, FEI C, YANG Y C, et al. A GaN-based DC-DC module for railway applications: Design consideration and high-frequency digital control[J]. IEEE Transactions on Industrial Electronics, 2020, 67(2): 1638-1647.

[2] DU X, ZHOU L W, TAI H M. Double-frequency buck converter[J]. IEEE Transactions on Industrial Electronics, 2009, 56(5): 1690-1698.

- [3] 周维维, 杜雄, 付志红, 等. 双频 Buck 变换器[J]. 中国电机工程学报, 2006, 26(6): 68-72.  
ZHOU L W, DU X, FU Z H, et al. The buck converter with double frequency[J]. Proceedings of the CSEE, 2006, 26(6): 68-72 (in Chinese).
- [4] OUYANG Z W, ANDERSEN M A E. Overview of planar magnetic technology: Fundamental properties[J]. IEEE Transactions on Power Electronics, 2014, 29(9): 4888-4900.
- [5] 杜雄, 周维维, 罗全明, 等. 双频 Buck 变换器参数对系统性能的影响[J]. 电工技术学报, 2005, 20(11): 4-10.  
DU X, ZHOU L W, LUO Q M, et al. Relationship between circuit parameter and system performance of buck converter with double frequency[J]. Transactions of China Electrotechnical Society, 2005, 20(11): 4-10 (in Chinese).
- [6] 张晓峰, 周维维, 罗全明, 等. 磁集成双频 DC/DC 变换器[J]. 电工技术学报, 2010, 25(1): 77-83, 89.  
ZHANG X F, ZHOU L W, LUO Q M, et al. Double frequency DC/DC converter with magnetic integration[J]. Transactions of China Electrotechnical Society, 2010, 25(1): 77-83, 89 (in Chinese).
- [7] GAO S W, WANG H. A new approach integrated magnetics double-frequency DC/DC converter[J]. IEEE Access, 2020, 8: 148301-148314.
- [8] AHMED M H, LEE F C, LI Q. LLC converter with integrated magnetics application for 48V rack architecture in future data centers [C]//2019 IEEE Conference on Power Electronics and Renewable Energy(CPERE). Egypt, Aswan; IEEE, 2020: 437-443.
- [9] AHMED M, FEI C, LEE F C, et al. High-efficiency high-power-density 48/1V sigma converter voltage regulator module [C]//2017 IEEE Applied Power Electronics Conference and Exposition(APEC). Tampa, FL, USA; IEEE, 2017: 2207-2212.
- [10] LUAN S K, WU Z H, WANG Z W, et al. A high power density two-stage GaN-based isolated Bi-directional DC-DC converter[C]//2019 IEEE Energy Conversion Congress and Exposition(ECCE). Baltimore, MD, USA; IEEE, 2019: 3240-3244.
- [11] 肖龙, 伍梁, 李新, 等. 高频 LLC 变换器平面磁集成矩阵变压器的优化设计[J]. 电工技术学报, 2020, 35(4): 758-766.  
XIAO L, WU L, LI X, et al. Optimal design of planar magnetic integrated matrix transformer for high frequency LLC converter[J]. Transactions of China Electrotechnical Society, 2020, 35(4): 758-766 (in Chinese).
- [12] MU M K, LEE F C. Design and optimization of a 380~12 V high-frequency, high-current LLC converter with GaN devices and planar matrix transformers [J]. IEEE Journal of Emerging and Selected Topics in Power Electronics, 2016, 4(3): 854-862.
- [13] FEI C, LEE F C, LI Q. High-efficiency high-power-density LLC converter with an integrated planar matrix transformer for high-output current applications[J]. IEEE Transactions on Industrial Electronics, 2017, 64(11): 9072-9082.
- [14] COVE S R, ORDONEZ M, LUCHINO F, et al. Applying response surface methodology to small planar transformer winding design[J]. IEEE Transactions on Industrial Electronics, 2013, 60(2): 483-493.
- [15] GUAN Y S, WANG Y J, XU D G, et al. A 1 MHz half-bridge resonant DC/DC converter based on GaN FETs and planar magnetics[J]. IEEE Transactions on Power Electronics, 2017, 32(4): 2876-2891.
- [16] FU M F, FEI C, YANG Y C, et al. Optimal design of planar magnetic components for a two-stage GaN-based DC-DC converter[J]. IEEE Transactions on Power Electronics, 2019, 34(4): 3329-3338.
- [17] WANG Y F, CHEN B, HOU Y Q, et al. Analysis and design of a 1 MHz bidirectional multi-CLLC resonant DC-DC converter with GaN devices[J]. IEEE Transactions on Industrial Electronics, 2020, 67(2): 1425-1434.
- [18] HURLEY W G, GATH E, BRESLIN J G. Optimizing the AC resistance of multilayer transformer windings with arbitrary current waveforms[J]. IEEE Transactions on Power Electronics, 2000, 15(2): 369-376.
- [19] NGUYEN M H, FORTIN BLANCHETTE H. Optimizing AC resistance of solid PCB winding[J]. Electronics, 2020, 9(5): 875.

#### 本文引文格式:

高圣伟, 于冠恒, 赵虹宇. 高频双频 Buck 变换器平面集成磁件优化设计[J]. 天津工业大学学报, 2024, 43(6): 66-74.  
GAO S W, YU G H, ZHAO H Y. Optimal design of planar integrated magnetics for high-frequency double-frequency Buck converter[J]. Journal of Tiangong University, 2024, 43(3): 66-74 (in Chinese).