

文章编号: 1671-7449(2024)03-0248-08

## 基于国产化平台的冲击波超压测试系统设计

周浩<sup>1,2</sup>, 毕荣<sup>1,2</sup>, 何汇成<sup>1,2</sup>, 余俊斌<sup>1,2</sup>, 穆继亮<sup>1,2\*</sup>

(1. 中北大学 电子测试技术国家重点实验室, 山西 太原 030051;

2. 中北大学 仪器科学与动态测试教育部重点实验室, 山西 太原 030051)

**摘要:** 在当前特种测试系统国产化替代趋势下, 针对传统冲击波超压测试系统存在的安全性低、进口依赖性强和自主可控性差等技术问题, 提出了一款以国产复杂可编程逻辑器件(Complex Programmable Logic Device, CPLD)和ARM(Advanced RISC Machine)处理器为核心架构的冲击波超压测试系统。其中, ARM单元负责响应系统工作循环指令, CPLD则控制A/D转换模块实现采样频率高达1 MHz的数据采集和对内外触发逻辑的精确判断, 数据转换结果经由外部存储器控制器(External Memory Controller, EXMC)传输并存储至eMMC存储器中, 最终通过以太网传输至上位机显示。经现场试验表明, 测试系统具有良好的可靠性, 能够在复杂测试环境下实现对冲击波超压信号高保真采集与记录存储, 为动态数据采集提供了一种切实可行的解决方案, 推动了关键测试设备国产化替换进程。

**关键词:** 国产化; 冲击波超压测试系统; 数据采集; 复杂可编程逻辑器件

**中图分类号:** TP274+.2

**文献标识码:** A

**doi:** 10.3969/j.issn.1671-7449.2024032

**引用格式:** 周浩, 毕荣, 何汇成, 等. 基于国产化平台的冲击波超压测试系统设计[J]. 测试技术学报, 2024, 38(3): 248-255.

ZHOU Hao, BI Rong, HE Huicheng, et al. Design of shock wave overpressure testing system based on domestic platform[J]. Journal of Test and Measurement Technology, 2024, 38(3): 248-255.

## Design of Shock Wave Overpressure Testing System Based on Domestic Platform

ZHOU Hao<sup>1,2</sup>, BI Rong<sup>1,2</sup>, HE Huicheng<sup>1,2</sup>, YU Junbin<sup>1,2</sup>, MU Jiliang<sup>1,2\*</sup>

(1. National Key Laboratory for Electronic Measurement Technology, North University of China, Taiyuan 030051, China;

2. Key Laboratory of Instrumentation Science and Dynamic Measurement, Ministry of Education, North University of China, Taiyuan 030051, China)

**Abstract:** Under the current trend of domestic substitution of special testing systems, a shock wave overpressure testing system with domestic CPLD(Complex Programmable Logic Device) and ARM as the core architecture is proposed to address the technical issues of low safety, strong import dependence, and poor autonomous controllability of traditional shock wave overpressure testing systems. Among them, the ARM unit is responsible for responding to the system's work cycle instructions, while the CPLD controls the A/D conversion module to achieve data collection with a sampling frequency of up to 1 MHz and precise judgment of internal and external triggering logic. The data conversion results are transmitted through EXMC(External Memory Controller) and stored in eMMC memory, and finally transmitted to the upper computer for display through Ethernet. Field experiments have shown that this type of testing system has good reliability and can

**收稿日期:** 2023-08-31

**基金项目:** 国家自然科学基金资助项目(62101513)

**作者简介:** 周浩(1998-), 男, 硕士生, 主要从事存储测试技术、微系统设计及集成研究。E-mail: zhouhao202304@163.com。

\* **通信作者:** 穆继亮(1978-), 男, 教授, 博士, 主要从事微能源、微纳器件与系统研究。E-mail: mujiliang@nuc.edu.cn。

achieve high-fidelity acquisition and recording storage of shock wave overpressure signals in complex testing environments. It provides a practical and feasible solution for dynamic data acquisition and promotes the process of domestic replacement of key testing equipment.

**Key words:** localization; shock wave overpressure testing system; data acquisition; complex programmable logic device(CPLD)

### 0 引言

目标靶毁伤参数测试是评价武器系统性能的有效手段,武器系统在研制、改进、定型以及验收等环节均需要进行毁伤参数测试,以评估武器系统对预定目标的摧毁程度<sup>[1-2]</sup>。武器毁伤威力主要来源于爆炸产生的高温、破片以及冲击波,其中爆炸冲击波作为爆炸毁伤在中远距离上的主要伤害来源是毁伤威力测试的重中之重<sup>[3]</sup>。因此,对冲击波超压的精准测量有助于改善武器火力打击能力,保证武器系统的可靠性,发挥武器系统技战术性能。

目前,实现冲击波超压测试主要采用国外主控芯片实现动态测试存储。翟永<sup>[4]</sup>基于Microchip公司16F877A型ARM微处理器和Xilinx公司XCR3128型复杂可编程逻辑器件(Complex Programmable Logic Device, CPLD)架构,将GPS技术引入冲击波存储测试中,统一了分布式测试中各测试系统之间的时间基准,解决了分布式测试中时间不同步问题。韩峰<sup>[5]</sup>于2018年采用Xilinx公司Spartan-6系列芯片提出了冲击波存储测试系统多参数程控技术,提高了存储测试系统的灵活性。李冒金等<sup>[6]</sup>于2022年采用Xilinx公司ZYNQ-7000系列芯片设计了适用于动

爆冲击波超压测试场合的测试系统,为大威力新型压制型武器的动态毁伤评估提供理论支撑。冲击波超压测试技术通过不断的发展与完善已日益成熟<sup>[7]</sup>,但绝大多数系统均基于国外主控芯片开发,存在核心部件自主化低,进口依赖性高,安全性差等问题<sup>[8]</sup>。因此,在关键领域打造安全自主可控的国产化替代产品显得尤为重要。

针对上述问题,本文设计了基于国产化平台的冲击波超压测试系统,该系统的硬件架构及软件逻辑的实现均基于国产芯片,设备能够实现对复杂工作环境下弹丸冲击波超压数据进行实时采集、存储与传输,在确保测试系统性能的前提下,为动态数据采集提供了一种切实可行的解决方案,是对关键测试设备的一次良好的国产化设计实践。

### 1 总体方案设计

冲击波超压测试系统主要用于在常规毁伤武器目标靶毁伤参数测试过程中对冲击波信号的采集、存储、实时数据处理反馈,并在测试结束后将测量数据通过上位机进行显示,实现连续冲击波毁伤威力测试及毁伤参数数据积累<sup>[9-10]</sup>。系统总体设计结构框图如图1所示。

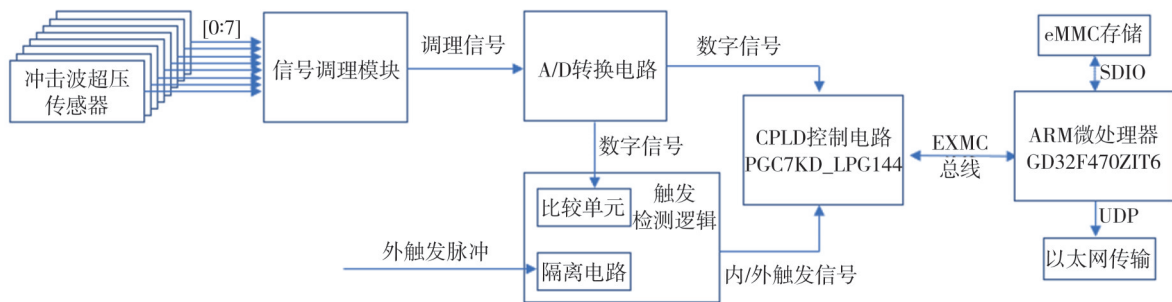


图1 系统总体设计结构框图

Fig. 1 Overall system design structure block diagram

系统总体架构以紫光同创公司的PGC7KD型CPLD和兆易创新公司的GD32F470ZIT6型ARM为核心进行设计。其中CPLD作为采集逻辑核心不仅控制ADC采集由ICP型传感器调理电路转换输出的电压信号,还通过EXMC总线接收由ARM主控单元发送的特殊指令,将指令解析后进行触发信号

检测。未触发时,系统以低采样率进行工作,数据通过SDIO接口传输至eMMC中进行负延时循环存储。当CPLD控制电路采集到触发检测逻辑输出的内/外触发信号时,控制A/D转换电路进行高速采集,从而完整地采集超压信号<sup>[11]</sup>。ARM微处理器作为整个系统的控制核心,用于实现eMMC采样数据

存储、以太网UDP协议<sup>[12]</sup>数据通信等功能。数据经 EXMC 总线传输至 eMMC 存储单元中,通过 UDP (User Datagram Protocol)通信模块实现了与上位机的数据与信息交互。最终完成对冲击波超压信号的图形化实时显示。

## 2 CPLD 设计

本设计选用紫光同创 Compact 系列 PGC7 KD\_LPG144 型 CPLD 产品作为主控芯片。相较于其他采样控制方案, CPLD 更适合完成逻辑控制,此举不仅节省了大量诸如 LUTs、寄存器、时钟和布线资源等,提升了产品的拓展性与兼容性,还具有低功耗、低延迟、高速率等特点,广泛应用于消费电子、通信、汽车电子、数字电视等领

域。PGC7KD\_LPG144 型芯片采用尺寸为 22 mm×22 mm 的微型封装工艺,逻辑资源数可达 7 104 个等效 LUT4,其中还包括 9 KB 存储空间的 DRM(Data Resource Management),多样的片上时钟资源以及 144 个多功能的用户 I/O 资源,同时集成了 SPI, I2C 和定时器/计数器等硬核。综合考虑,选择该型号 CPLD 不仅满足系统实际设计需求,还能有效节约成本,减小系统体积。

CPLD 在整个系统设计中起到桥接作用,不仅要经 AD 模块转换出的数字信号进行处理、反馈,还需要通过 EXMC 外设接口将数据传输至 ARM 主控板,并对 ARM 下达的指令进行解析,从而实现对 AD 转换器、内外触发以及数据传输相应逻辑控制, CPLD 内部功能模块划分如图 2 所示。

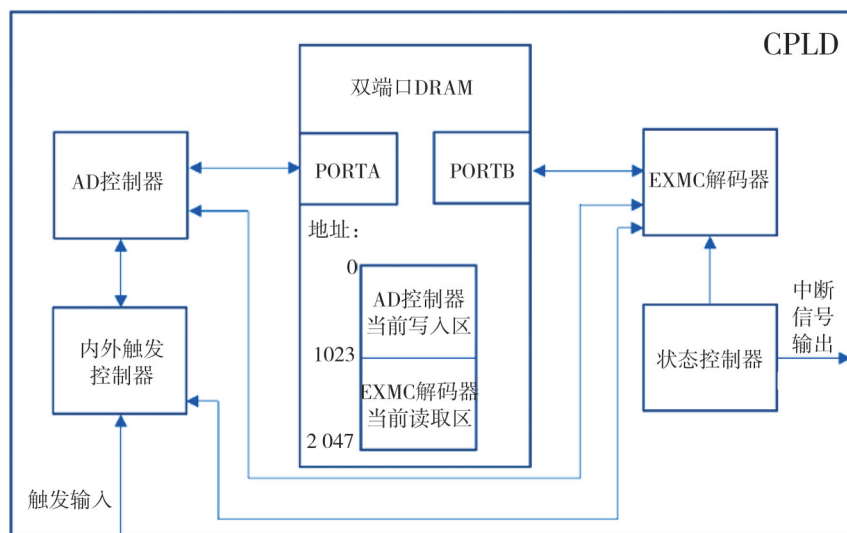


图 2 CPLD 内部模块功能划分图

Fig. 2 Functional division diagram of CPLD internal modules

CPLD 逻辑设计由 AD 控制器、EXMC 解码器、内外触发控制器、状态控制器以及由 IP 核构建的 4 KB 简单双端口 DRM 构成。系统上电时,触发阈值及条件通过 EXMC 解码器写入内外触发控制器对应的寄存器中,当收到采样指令后,AD 控制器依时序控制 ADC 外设进行数据的采集转换,数据存储到双端口 DRM 中的同时与内外触发控制器中设定的阈值进行比较,若触发发生,触发控制器会将当前 AD 控制器所给的 DRM 存储位置记录并写入状态控制器中对应寄存器中,同时反馈给 AD 控制器,改变 ADC 的采样速率,直至达到该轮采样最大次数或触发消失。

AD 控制器每轮对双端口 DRM 的读写都会告知内/外触发控制器所读写的位置,对于 2 K 存储区域,

该值的最大值为 127,当触发控制器检测到 AD 控制器所给的值为 127 时,说明此时 2 K 数据区域已存满,触发控制器会给状态控制器相应寄存器特定位置写固定值,当状态控制器检测到寄存器中特定值发生改变时,会给出一个特定脉宽的脉冲信号,该信号会被单片机中断引脚所捕获,用于产生中断告知单片机读取第一块数据,与此同时 CPLD 开始对第 2 个区域执行写入操作。

## 3 EXMC 接口逻辑设计

CPLD 控制板与 ARM 主控板间数据传输通过 GD32F407 内置的外部存储控制器 EXMC 实现。GD32 系列微控制器可通过 EXMC 接口将 AMBA 协议转换为专用的片外存储器通信协议,以此访问包

括 SRAM、ROM、NOR Flash、NAND Flash、PC Card 和 SDRAM 等各种片外存储器。同时,用户还可以调整相关的时间参数来提高通信效率。EXMC 的结构框架如图 3 所示,其访问空间被划分为多个 Bank(块),每个块支持特定的存储器类型。CPLD 与 ARM 进行通讯时,CPLD 被视为 BANK1 中的一段内存,通过扩展出的数据/地址/控制/三总线来实现数据读写操作。

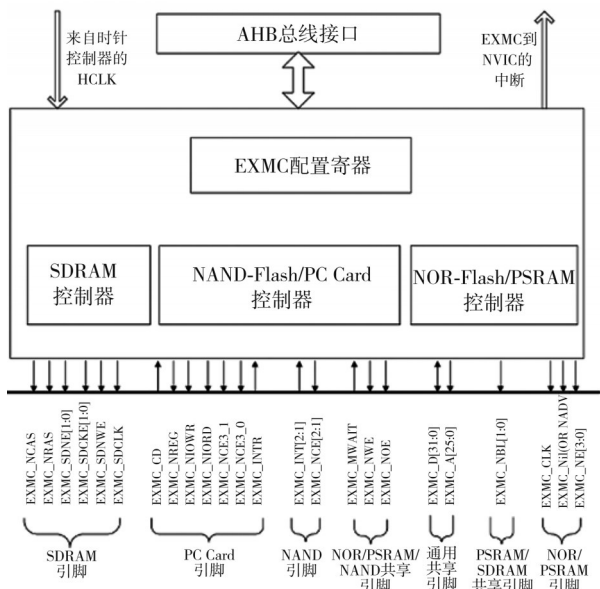


图 3 EXMC 结构框图

Fig. 3 EXMC structure block diagram

EXMC 接口时序配置为异步访问时序,通过地址映射技术对数据传输地址进行编码,无需软件来模拟外部存储芯片的读写时序,使得 CPLD 实现对数据的读写操作和对内存数据直接操作同样便捷,其对应的读写时序如图 4 和图 5 所示。

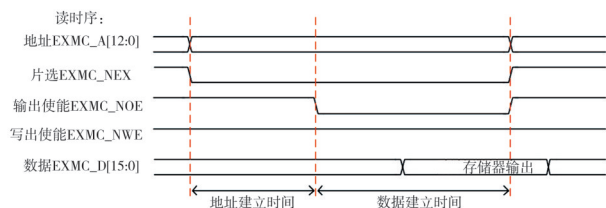


图 4 读取时序图

Fig. 4 Reading timing chart

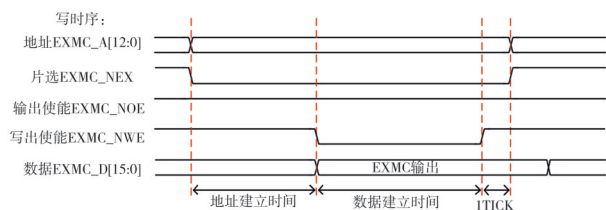


图 5 写入时序图

Fig. 5 Writing timing chart

### 4 ARM 设计

ARM 控制芯片选用兆易创新公司的 32 位高性能 ARM Cortex-M4 系列单片机 GD32F407。该型单片机最大主频 168 MHz,具有 SDIO、USB、SPI、CAN、10M/100M 快速以太网媒体存取控制和通用定时器等丰富的接口与外设资源,更为关键的是其内部提供了完整的 DSP 指令集,具有并行计算能力和专用的浮点运算单元(FPU)。内核访问闪存高速零等待,最高主频下的工作性能可达 210 DMIPS,同主频下的代码执行效率相比市场同类 Cortex-M4 产品提高 10%~20%,并已全面超越 Cortex-M3 产品,性能提升超过 40%。该型 ARM 不仅有着较高的安全防护等级,还具备丰富的外设资源,足以支持系统设计需求。

在冲击波超压测试中,先将信号采集设备布放在测试点,然后进行弹药装填等后续操作,等一切准备就绪后进行超压测试。针对上述应用场景,设计了采集设备对应的运行状态机,使装置在测试过程中状态可控、稳定。状态机具体运行流程如图 6 所示,ARM 主控固件编写将依据该状态机流程进行。

依照状态机运行流程,装置上电后,首先开启自检功能,若自检不通过,装备进入故障态,该状态表示设备出现故障,需操作人员通过上位机核对装置状态,如果故障不影响后续测试环节,上位机可发送核检通过指令,收到指令后装置进入准备态;在准备态,上位机可通过以太网接口读取装置信息、下发配置指令和读取历史测试数据;配置读数态为装置读取数据的过渡状态,该状态的持续时间与指令响应时间成正比,装置可多次进入该状态;上位机下发系统启动指令后,装置进入负延迟状态,开始低速采集信号并检测触发信号来实现采集过程,为保证采集信号的完整性,负延迟阶段的采集数据也需进行存储;检测到触发信号后,系统立刻进入信号采集态,系统全速采集并在该状态记录触发时间标识后关闭以太网等系统外设,采集固定时长的数据后进入准备态等待下次指令。

单片机 GD32F470 作为系统控制器用于实现上述流程,但在流程中部分功能实时性较强且存在相互耦合情况,仅仅依靠裸机编程实现起来相当困难,所以,采取向单片机裸机工程移植实时操作系统的方法来加强系统运行的实时性和提高

代码执行效率,设计中选用国产嵌入式实时操作系统 RT-Thread。在使用实时操作系统的基础上

进行编写代码时,按照代码实现功能,对代码逻辑层次进行划分,具体划分如图7所示。

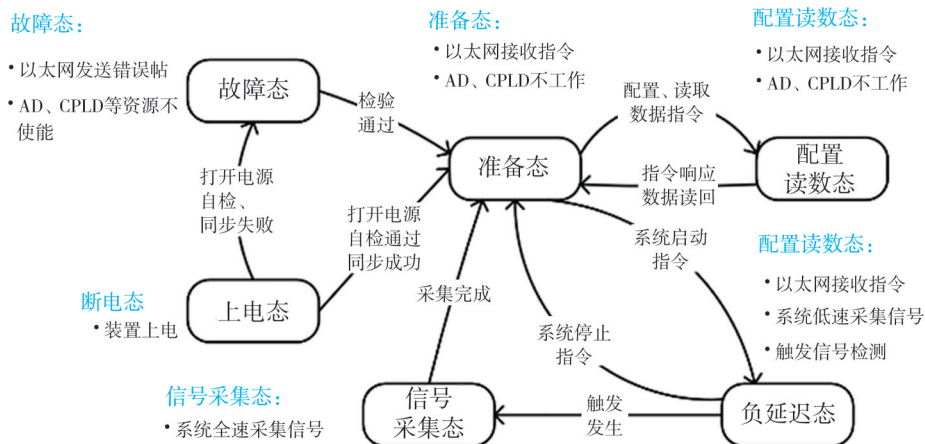


图6 ARM状态机运行流程图

Fig. 6 ARM state machine operation flow chart

状态机 流程管理	状态机控制	UDP通讯	CPLD控制	数据读取
eMMC写入				
高性能算法	数据储存算法	数据传输算法		
RT-Thread	线程	信号量	邮箱	中断管理
			时钟管理	内存管理
驱动库	GD32F4标准库函数			LwIP
硬件资源	eMMC	XOR FLASH	CPLD	片内ADC
			定时器	以太网

图7 固件代码层次划分图

Fig. 7 Firmware code hierarchy diagram

固件代码以标准库函数以及LwIP驱动的硬件资源为基础,在此之上进行RT-Thread Nano实时操作系统的移植,之后通过调用信号量、邮箱和线程等RT-Thread内核资源实现高性能算法和状态机流程管理。为了实现状态机流转并稳定运行,在状态机流程管理层创建状态机控制、UDP通讯、CPLD控制和eMMC写入等线程,通过给不同线程分配不同优先级和线程间信号量同步的方法实现线程稳定运行,进而实现状态机运转功能。在此过程中,状态机控制线程优先级最高,原则上优先级越高的线程占用CPU的时间越短,优先级高的线程可以管理优先级低的线程,进行线程创建和删除操作。

### 5 系统测试

#### 5.1 CPLD逻辑功能测试

使用国产开发环境Pango完成芯片的逻辑编写并通过Modelsim进行联合时序功能仿真,分别对触发逻辑以及ADC变速采样逻辑进行仿真验证。

系统触发逻辑包含内触发以及外触发两种触发方式,在内触发测试中,将触发阈值设置为超

正量程60%触发,仿真结果如图8所示。根据设置条件及设计逻辑,ICP型信号调理电路输出0.95~4.05V的电压范围,理论上ADC转换数据>0x57d0(阈值上限)或<0x2832(阈值下限)时,产生内触发信号。从仿真结果图中可知,当输入量为0x64b0以及0x232a时,满足上述触发范围,图中其他数据未超过阈值的上下限,未产生触发信号。仿真证明系统能够完成内触发逻辑。



图8 内触发仿真结果

Fig. 8 Internal trigger simulation results

系统外触发分为上升沿和下降沿两种触发方式。在外触发测试中,内部逻辑将同时产生上升沿和下降沿标志信号,再对比当前设置从而输出所需模式的外触发信号。外触发上升沿模式仿真结果如图9所示,外触发下降沿仿真结果如图10所示。

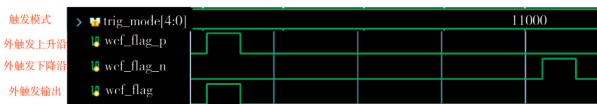


图9 外触发上升沿仿真结果图

Fig. 9 Simulation results of external trigger rising edge

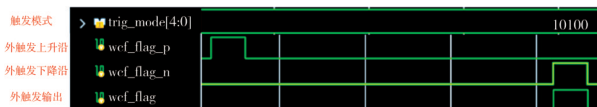


图10 外触发下降沿仿真结果图

Fig. 10 Simulation results of external trigger falling edge

CPLD通过内部计数器分频实现ADC变速采样速率的控制,测试使用示波器抓取触发前后CPLD相

应输出引脚上的脉冲信号,其显示的频率为脉冲信号频率的一半,可通过该频率判断ADC此刻的采样速率及变换情况。测试结果如图 11 所示。从示波器结果可以看出,触发前后示波器显示的频率值分别为 50 kHz 和 500 kHz,对应 ADC 采样速率为 100 kHz 和 1 MHz。测试结果表明系统能够实现待触发态低速采样,触发后变高速采样的逻辑功能,且满足 1 MHz 高速采样的设计目标。

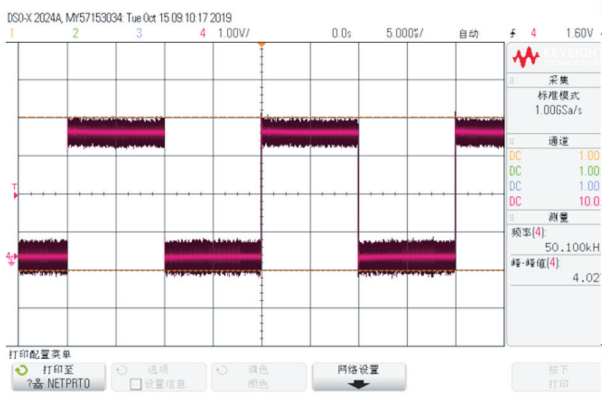


图 11 触发前后采样频率对比图

Fig. 11 Comparison of sampling frequencies before and after triggering

### 5.2 整体功能测试

为验证设计系统功能的可靠性,进行某型号车载火炮炮口冲击波超压测试试验。本次测试中火炮装药量为 42.7 g,水平射击靶板。布置时将 113B21 型 PCB 动态压力传感器置入钢制外壳构成测量节点,为保证测试可靠性,选取 2 个节点为一组的并行放置方式进行试验,共 4 组节点,每组节点间采用直线测点布设法。第一组节点距爆心 2 m,其余各组间距 1 m 依次放置,现场布设示意图如图 12 所示。布设完毕后,测量节点通过传输线缆与设备进行连接。

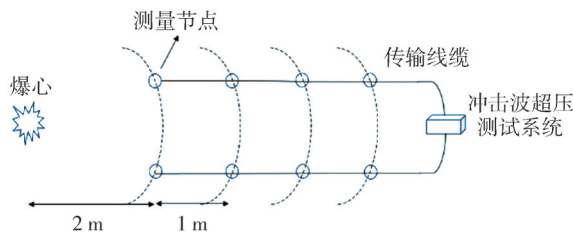


图 12 现场布设示意图

Fig. 12 Schematic diagram of on-site layout

图 13 所示为理想情况下空气中爆炸冲击波超压曲线,整个冲击过程分为正压区和负压区两个阶段,正压区内,由于冲击波的作用,被测物体表面压力值在微秒内急剧升高,并随着空气冲击波的扩散

迅速衰减,形成毫秒量级的正压区,在此之后继续衰减形成负压区,与正压区相比,负压区作用时间相对较长,整个压力衰减过程呈指数衰减。

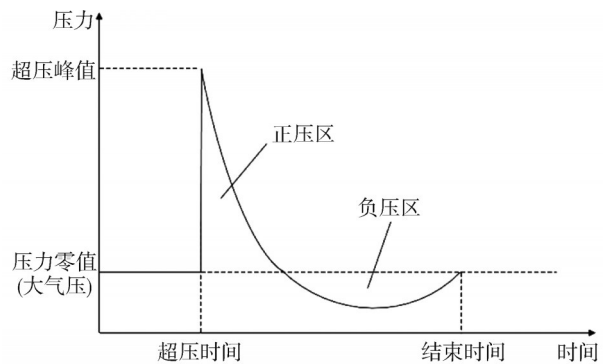


图 13 理想情况下空气中爆炸冲击波超压曲线

Fig. 13 Overpressure curve of explosion shock wave in air under ideal conditions

将每组节点中有效节点的数据经 Matlab 分析处理,如图 14 所示。从图中可以看出,测试系统可完整记录冲击波超压数据,各节点采集到的冲击波超压数据峰值处于同一量级,数据绘制成的曲线满足上述理想情况下冲击波超压曲线特征<sup>[13]</sup>。将测试系统采集到的信号与标准高带宽存储器(High Bandwidth Memory, HBM)采集设备采集到的信号对比<sup>[14]</sup>,信号变换规律基本相同,从而验证了采集数据的准确性。此外,随节点距爆心距离的不断增加,爆炸冲击波的测试峰值逐渐减小,且每组数据包含多个峰值,符合冲击波传播规律。

为验证测试系统的稳定性及可靠性,进行了同药量下连续 5 次现场测试试验,各节点试验结果如表 1 所示。

表 1 5 次测试中不同节点超压峰值

Tab. 1 Peak overpressure at different nodes in 5 tests

实验编号	超压峰值/MPa			
	节点 1	节点 2	节点 3	节点 4
1	0.021 1	0.013 4	0.008 6	0.007 5
2	0.018 9	0.012 3	0.008 0	0.007 5
3	0.019 6	0.012 9	0.008 8	0.007 3
4	0.024 5	0.015 4	0.009 1	0.007 5
5	0.020 9	0.014 2	0.008 2	0.006 9

通过表 1 数据可知,在连续采集过程中,系统能够正常工作,且采集到的数据中均为有效数据。5 次超压峰值间最大误差 < 0.01 MPa,每次测试中峰值随距离衰减规律相同。通过冲击波超压测试系统现场测试波形以及多次超压峰值对比结果可知:冲击波超压测试系统采集结果准确,符合设计要求,验证了设计系统采集的准确性以及可靠性。

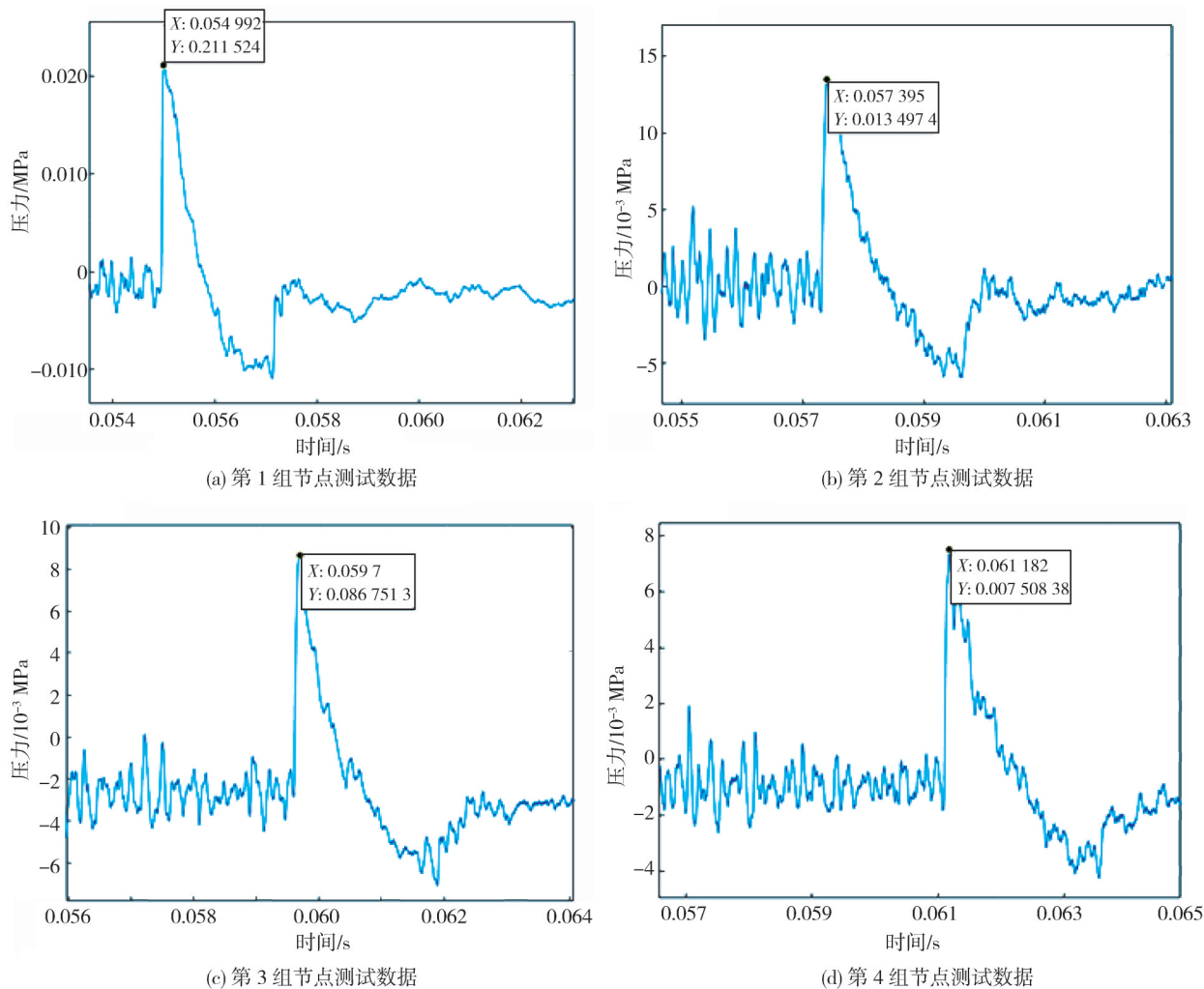


图14 各节点冲击波超压数据测试图

Fig. 14 Test chart of shock wave overpressure data at each node

## 6 结论

本文设计了基于国产化平台的冲击波超压测试系统，系统以紫光同创 CPLD 和兆易创新 GD32F407 为核心架构，采用模块化设计思路，整体工作状态流程由 ARM 控制，CPLD 完成对 ADC 转换数据的并行采集及触发逻辑控制，数据经 EXMC 传输至 eMMC 存储单元中，通过以太网 UDP 协议将数据上传至上位机完成可视化显示。经测试，系统能够完成最高 1 MHz 采样频率的数据采集，并能满足负延时采集以及多重触发等关键功能，满足冲击波超压测试需求，有效解决了关键设备自主可控问题，在确保方案可行的前提下大大提高了安全性，提供了一种基于国产芯片控制系统的可行性方案，对芯片国产化的推动有着积极的意义。

## 参考文献:

- [1] 柯宏发, 陈京生, 周博. 基于成熟度等级的武器装备作战效能评估模型[J]. 兵器装备工程学报, 2020, 41(6): 76-83.  
KE Hongfa, CHEN Jingsheng, ZHOU Bo. Operational effectiveness evaluation model based on readiness level of weapon and equipment [J]. Journal of Ordnance Equipment Engineering, 2020, 41(6): 76-83. (in Chinese)
- [2] 马春茂, 孙卫平, 李炎, 等. 武器装备毁伤评估研究进展[J]. 火炮发射与控制学报, 2019, 40(4): 96-101.  
MA Chunmao, SUN Weiping, LI Yan, et al. Research progress in damage assessment of weapon equipment [J]. Journal of Gun Launch & Control, 2019, 40(4): 96-101. (in Chinese)
- [3] 陈学文. 爆炸冲击波毁伤威力快速评估测试系统设计[D]. 太原: 中北大学, 2022.
- [4] 翟永. 冲击波存储测试系统的同步技术研究[D]. 太

- 原: 中北大学, 2016.
- [ 5 ] 韩峰. 多参数程控的冲击波存储测试系统研究[D]. 太原: 中北大学, 2018.
- [ 6 ] 李冒金, 李剑, 刘宾, 等. 基于Zynq的大动态冲击波超压测试系统设计[J]. 国外电子测量技术, 2022, 41(1): 51-56.  
LI Maojin, LI Jian, LIU Bin, et al. Design of a large dynamic shock wave overpressure test system based on Zynq [J]. Foreign Electronic Measurement Technology, 2022, 41(1): 51-56. (in Chinese)
- [ 7 ] 刘泽鹏, 苏新彦, 王小亮, 等. 一种通用高精度存储式冲击波测试系统设计[J]. 单片机与嵌入式系统应用, 2021, 21(1): 54-56.  
LIU Zepeng, SU Xinyan, WANG Xiaoliang, et al. Design of universal high precision memory shock wave test system [J]. Microcontrollers & Embedded Systems, 2021, 21(1): 54-56. (in Chinese)
- [ 8 ] 郑志旺. 基于国产FPGA的数据采集存储系统的研究与设计[D]. 太原: 中北大学, 2021.
- [ 9 ] 王毛凯, 王文廉, 王玉. 多发连续冲击波超压智能存储测试系统[J]. 电子技术应用, 2022, 48(11): 127-131.  
WANG Maokai, WANG Wenlian, WANG Yu. Intelligent storage measurement system of multiple continuous shock wave [J]. Application of Electronic Technique, 2022, 48(11): 127-131. (in Chinese)
- [10] 章天平, 孔德仁, 王良全. 基于无线组网技术的爆炸冲击波压力存储测试系统[J]. 测试技术学报, 2021, 35(4): 317-322.  
ZHANG Tianping, KONG Deren, WANG Lianquan. Explosion shock wave pressure storage measurement and test system based on wireless networking technology [J]. Journal of Test and Measurement Technology, 2021, 35(4): 317-322. (in Chinese)
- [11] 郝思聪, 贺庆, 李晓曦. 基于DDS时钟合成的变采样率偶发信号采样方法[J]. 电子测量技术, 2021, 44(21): 108-112.  
HAO Sicong, HE Qing, LI Xiaoxi. Sampling method of variable sampling rate for occasional signal based on DDS clock synthesis [J]. Electronic Measurement Technology, 2021, 44(21): 108-112. (in Chinese)
- [12] 郭晋, 王代华, 刘彬, 等. 基于千兆以太网的多通道冲击波超压系统设计[J]. 现代电子技术, 2022, 45(10): 31-35.  
GUO Jin, WANG Daihua, LIU Bin, et al. Design of multi-channel shockwave overpressure system based on gigabit Ethernet [J]. Modern Electronics Technique, 2022, 45(10): 31-35. (in Chinese)
- [13] 武建诚. 基于FPGA+DSP的冲击波超压测试系统设计与实现[D]. 太原: 中北大学, 2022.
- [14] 周诗超, 李凯, 温鹏, 等. 无线多通道冲击波采集存储技术[J]. 电子测量技术, 2022, 45(24): 85-90.  
ZHOU Shichao, LI Kai, WEN Peng, et al. Wireless multi-channel shock wave acquisition and storage technology [J]. Electronic Measurement Technology, 2022, 45(24): 85-90. (in Chinese)