

文章编号: 1671-7449(2024)04-0407-06

基于锁相环技术的小型化K波段频率源设计

王文凯, 姚金杰*, 白建胜, 李龙, 高旭文, 王晨阳

(中北大学 信息探测与处理山西省重点实验室, 山西 太原 030051)

摘要: 在宽带电磁接收机领域, 高频段频率源通常存在输出功率低、相位噪声性能差的问题, 因此, 频率源性能显得尤为重要。针对这一问题, 本文利用锁相环与倍频的设计方式, 设计一种小型化K波段的频率源。首先, 对锁相环电路, 控制单元电路和稳压电源电路进行设计; 然后, 对频率源进行建模仿真验证其可行性, 通过采用腔体设计及微组装的方式完成了锁相环电路、控制单元、稳压电源电路及倍频器的设计; 最后, 对频率源进行了测试。测试结果表明, 该频率源输出频率为25.6 GHz, 输出功率大于10 dBm, 其归一化相位噪声为 -76 dBc/Hz@100 kHz, 其整体尺寸为 60 mm \times 40 mm \times 8 mm。所设计的频率源具有体积小、各项性能优良且能长期稳定工作的优势, 能够满足宽带接收机工程需求应用。

关键词: 频率源; K波段; 建模仿真; LMX2594

中图分类号: TN74

文献标识码: A

doi: 10.3969/j.issn.1671-7449.2024052

引用格式: 王文凯, 姚金杰, 白建胜, 等. 基于锁相环技术的小型化K波段频率源设计[J]. 测试技术学报, 2024, 38(4): 407-412.

WANG Wenkai, YAO Jinjie, BAI Jiansheng, et al. Miniaturized K-band frequency source design based on phase-locked loop technology[J]. Journal of Test and Measurement Technology, 2024, 38(4): 407-412.

Miniaturized K-Band Frequency Source Design Based on Phase-Locked Loop Technology

WANG Wenkai, YAO Jinjie*, BAI Jiansheng, LI Long, GAO Xuwen, WANG Chenyang

(Shanxi Provincial Key Laboratory of Information Detection and Processing, North University of China, Taiyuan 030051, China)

Abstract: In the field of broadband electromagnetic receivers, high-frequency frequency sources usually have problems such as low output power and poor phase noise performance, so frequency source performance is particularly important. To address this problem, this paper uses phase-locked loop and frequency multiplication design methods to design a miniaturized K-band frequency source. First, the phase-locked loop circuit, control unit circuit and voltage-stabilized power supply circuit are designed, and then the frequency source is modeled and simulated to verify its feasibility. The phase-locked loop circuit and control unit are completed by using cavity design and micro-assembly, the design of the voltage-stabilized power supply circuit and the frequency multiplier, and finally the frequency source was tested. The test results show that the output frequency of this frequency source is 25.6 GHz, the output power is greater than 10 dBm, its normalized phase noise is -76 dBc/Hz@100 kHz, and its overall size is 60 mm \times 40 mm \times 8 mm. The designed frequency source has the advantages of small size, excellent performance and long-term stable operation, and it can meet the application requirements of broadband receiver engineering.

Key words: frequency source; K-band; modeling simulation; LMX2594

收稿日期: 2023-10-13

基金项目: 山西省基础研究计划资助项目(202203021212157); 国防基础研究计划资助项目(JCKY2021210B073, JCKY2022209A001)

作者简介: 王文凯(1999-), 男, 硕士生, 主要从事毫米波电路、毫米波雷达设计等研究。E-mail: 374272345@qq.com。

* 通信作者: 姚金杰(1982-), 男, 副教授, 博士, 主要从事位置服务与应用, 微波与毫米波技术等研究。E-mail: yyyjinjie@163.com。

在通信、雷达、无线电测试等先进电子系统中,频率源是测试系统中的关键组成部分。它的性能指标直接影响整个系统的功能和性能,被称作电子系统的“心脏”^[1]。宽带电磁接收机系统中要求频率源具有超宽带、低相噪、小型化的特性,以满足外部电磁环境和自身架构的复杂性的应用需求^[2]。然而在实际应用中,高频段频率源通常因输出功率和噪声性能不佳无法满足项目应用需求。

为了克服上述问题,北京微电子技术研究所梁佳琦等^[3]提出一款集成VCO宽带频率合成器,但存在整数边界杂散问题;中电二十六所沈文渊等^[4]采用双环系统的细步进频率合成器,解决了杂散问题,但是产生的信号频段低,不满足高频段的需求;中电五十四所胡丽格^[5]提出了一种基于ADF4350与AD9913的跳频频率合成器设计,但该方案输出信号相位噪声性能不理想。针对当前高频波段频率源设计中交会参数探测单元的小型化需求,上述方案均存在缺陷,不满足小型化需求。本文提出一种基于锁相环技术的K波段频率源设计方案。使用锁相环输出与倍频器结合的方法,首先,对锁相环及控制单元电路进行设计,使用LMX2594锁相环搭建外围电路和STC8G1K08单片机搭建控制单元电路;然后,使用TPS65130芯片完成稳压电源的设计,锁相环产生的信号在通过滤波和放大后再通过HMC814二倍频器倍频后,实现K波段小型化频率源的稳定输出。并且通过对频率源进行建模仿真,得到锁相环环路滤波器开闭环幅度和相位响应特性曲线及电荷泵瞬态响应以及锁定时间,从而证实其可行性;最后,通过德州科技N9010A频谱分析仪和N9010A EXA信号分析仪对所设计频率源的相关参数进行测试和调试,测试结果满足宽带电磁接收机的工程应用需求,且指标性能优良。

1 基本原理

1.1 锁相环原理

锁相环包括鉴相器、环路滤波器和压控振荡器3部分,鉴相器通常由模拟乘法器组成,其工作原理为:设外部输入信号 $u_i(t)$ 和压控振荡器输出信号电压 $u_o(t)$ 分别为

$$u_i(t) = U_m \sin[\omega_i t + \theta_i(t)], \quad (1)$$

$$u_o(t) = U_o \cos[\omega_o t + \theta_o(t)], \quad (2)$$

式中: U_m 和 U_o 分别为输入信号与反馈信号的幅度值; ω_i 和 ω_o 分别为角频率; θ_i 和 θ_o 分别为相位。

设乘法器的相乘系数为 K ,则乘法器输出电压

$$\begin{aligned} u_m(t) &= K u_i(t) u_o(t) = \\ &= K U_m U_o \sin[\omega_i t + \theta_i(t)] \cos[\omega_o t + \theta_o(t)] = \\ &= \frac{1}{2} K U_m U_o \sin[\omega_i t + \theta_i(t) + \omega_o t + \theta_o(t)] + \\ &= \frac{1}{2} K U_m U_o \sin\{[\omega_i t + \theta_i(t)] + [\omega_o t + \theta_o(t)]\}. \end{aligned} \quad (3)$$

通过滤波器将上式中不需要的分量滤掉,压控振荡器的输入控制电压

$$\begin{aligned} u_c(t) &= \frac{1}{2} K U_m U_o \sin\{[\omega_i t + \theta_i(t)] - \\ &= [\omega_o t + \theta_o(t)]\} = U_{dm} \sin\{(\omega_i - \omega_o)t + \\ &= [\theta_i(t) - \theta_o(t)]\}, \end{aligned} \quad (4)$$

式中: U_{dm} 为输入控制电压幅度值。根据相量关系从而得瞬时频率和相位关系为

$$\theta(t) = \int \omega(t) dt + \theta_{a0}, \quad (5)$$

式中: θ_{a0} 为初始相位。对式(5)两边求微分,得频差关系为

$$\frac{d\theta_d}{dt} = \frac{d(\omega_i - \omega_o)t}{dt} + \frac{d[\theta_i(t) - \theta_o(t)]}{dt}. \quad (6)$$

当式(6)结果为零,说明锁相环进入锁定态,此时输出和输入信号的频率和相位保持恒定态, $u_c(t)$ 为固定值。

1.2 倍频器原理

倍频器是使输入信号通过后得到整数倍频率的输出信号的电路,理想倍频器原理如图1所示。

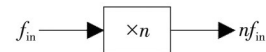


图1 倍频器原理图

Fig. 1 Principle diagram of frequency multiplier

倍频器工作原理可通过简单二端口非线性器件的倍频过程来分析,信号通过非线性器件后,对输入信号进行非线性变化,产生高次谐波成分^[6],式(7)为倍频器输入输出关系的表示。

$$y_o(t) = a_0 + a_1 x_{in}(t) + a_2 x_{in}^2(t) + a_3 x_{in}^3(t) + \dots, \quad (7)$$

式中: a_0, a_1, a_2, a_3 分别为1次、2次、3次、4次谐波分量,若输入信号为 $x_{in}(t) = A \cos(\omega_{in} t)$,则有

$$\begin{aligned} y_o(t) &= \\ &= a_0 + a_1 x_{in}(t) + a_2 x_{in}^2(t) + a_3 x_{in}^3(t) + \dots = \\ &= a_0 + a_1 A \cos(\omega_{in} t) + \frac{a_2 A^2}{2} [1 + \cos(2\omega_{in} t)] + \\ &= \frac{a_3 A^3}{4} [3\cos(\omega_{in} t) + \cos(3\omega_{in} t)] + \dots = \end{aligned}$$

$$\left(a_0 + \frac{a_2 A^2}{2}\right) + \left(a_1 A + \frac{3a_3 A^3}{4}\right) \cos(\omega_{in} t) + \frac{a_2 A^2}{2} \cos(2\omega_{in} t) + \frac{a_3 A^3}{4} \cos(3\omega_{in} t) + \dots, \quad (8)$$

式中: A 为输入信号的幅度值; ω_{in} 为输入角频率, 由式(8)可得, 正弦信号通过非线性器件时, 输出的信号包含基频和多个次谐波量。倍频器可以通过滤波器过滤不需要的频率分量, 从而提取出所需谐波频率分量^[7]。

2 K波段频率源设计

2.1 频率源整体设计

频率源预采用锁相环结构, 在对比晶体管、DDS及锁相环后, 由于锁相环结构可产生稳定信号且外围电路简单, 加之小型化与较高输出频率的要求, 决定采用锁相环产生基频信号, 在设计锁相环结构时, 需要考虑环路滤波电路的设计, 关照到输入到压控振荡器中获得的电流稳定度, 进而影响到发生的调频信号的稳定度^[8]。使用锁相环LMX2594输出一个X波段固定频率低噪声信号, 然后利用二倍频器将信号倍频到K波段, 结构如图2所示。

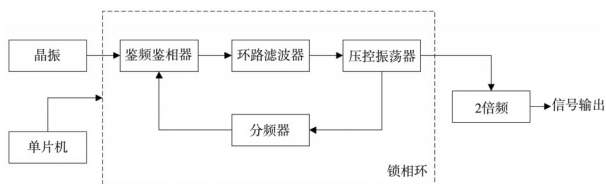


图2 频率源框图

Fig. 2 Frequency source block diagram

2.2 锁相环电路模块

频率源采用锁相合成的方法进行设计。采用TI德州仪器公司的LMX2594锁相环芯片, 设计中参考信号为晶振产生的40 MHz正弦波信号, 经过芯片的OSCinM引脚输入到芯片中, 信号经过预置分频器、乘法器和后置分频器后进入鉴频鉴相器中。然后, 将参考信号与分频后的电荷泵压控振荡器的输出信号进行相位比较。

LMX2594锁相环芯片外围电路中, 晶振产生参考信号经过OSCinM引脚输入芯片中, 需要添加0.1 μF电容做去耦滤波。高频信号通过RFOUTA分两路输出, 信号输出引脚上需要添加50 Ω电阻做上拉电阻, 1 nH电感做上拉电感, 此时输出频率为11~13 GHz。为了保证芯片能够稳定正常工作, 所有的VCC供电引脚需要添加0.1 μF和10 μF电容作

电源去耦回路。整体电路如图3所示。

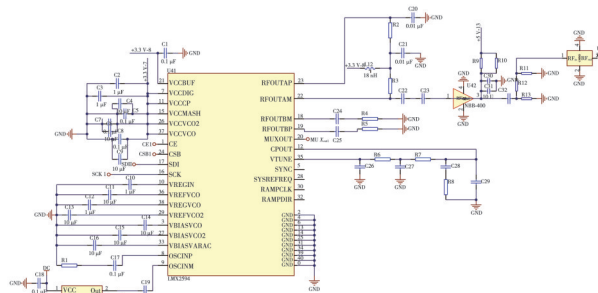


图3 锁相环电路原理图

Fig. 3 Schematic diagram of phase-locked loop circuit

2.3 控制单元模块

频率源的锁相环芯片由113个24 b寄存器来控制, 控制单元主要是对锁相环芯片的内部寄存器进行参数配置, 从而使其正常工作产生所需频段的信号。根据需求, 采用国产STC8G1K08单片机芯片搭建控制单元, 该款芯片不需要外部晶振和外部复位, 内部集成高精度R/C时钟, 可彻底省掉外部昂贵的晶振和外部复位电路, 且满足与锁相环间的串行外设接口(Serial Peripheral Interface, SPI)通信要求。

锁相环LMX2594的串行数据输入时序图如图4所示, 采用微控制单元(Micro-Controller Unit, MCU)软件控制SPI将参数写入到寄存器中。由于片选引脚(Chip Select of Bord, CSB)必须保持低电平才能提供数据时钟, 当串口时钟(Serial Clock, SCK)为上升沿触发时将数据锁存。数据位按照地址、数据及读写位由高位到低位配置进入寄存器。

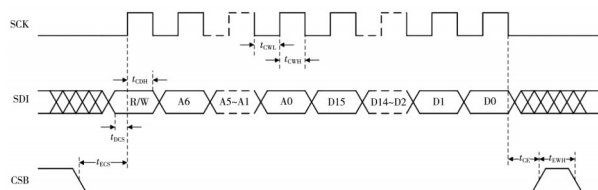


图4 串行数据输入时序图

Fig. 4 Serial data input timing diagram

MCU程序流程图如图5所示, 程序开始时先对时钟进行配置, 确定系统的时钟频率, 然后对将要使用到的管脚进行设置, 在本设计中, 在不回读锁相环寄存器的情况下, 将MCU所有管脚设置为上拉输出。根据LMX2594芯片手册中的初始上电顺序, 首先对设备上电, 将寄存器的RESET设置为1, 使器件复位; 然后将RESET设置为0, 退出复位状态; 再然后按照从高到低的顺序以逆序的方式对寄存器

进行配置；等待 10 ms 后将 FCAL_EN 设置为 1，再次对 R0 进行一次配置。

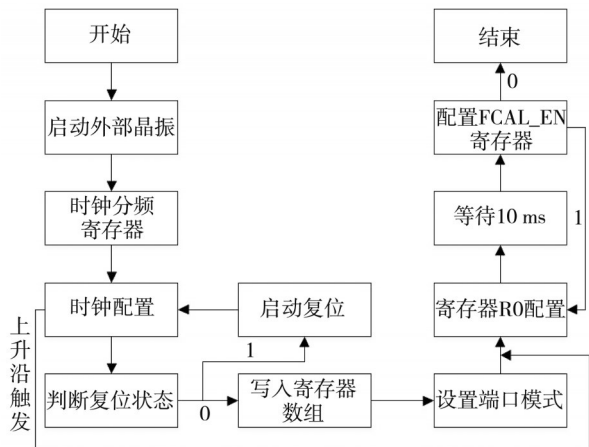


图 5 MCU 程序流程图

Fig. 5 MCU program flowchart

控制单元电路如图 6 所示，通过国产 STC8G1K08 单片机芯片完成对锁相环的配置，该款芯片无需外部晶振，内置超高精度时钟，且满足与锁相环之间的 SPI 通信协议。



图 6 控制单元电路原理图

Fig. 6 Control unit circuit schematic

2.4 稳压电源模块

由于频率源中采用的芯片供电电压各不相同，需要涉及 +5.5, +2.5, +1.5, -0.5, -0.8 V 的稳压电源来供电。结合频率源实际供电需求与电流耦合干扰的问题，选择 TPS65130 双路正负输出电源作为供电芯片，可生成高达 -15~+15 V 的输出电压，转换效率高达 89%，整体电路如图 7 所示。

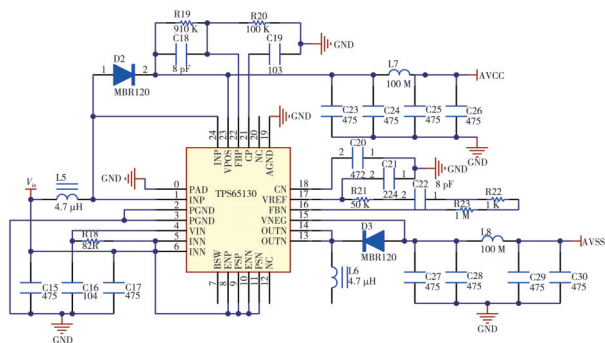


图 7 稳压电源原理图

Fig. 7 Principle diagram of stabilized power supply

3 仿真实验及测试

频率源被广泛应用于通信、雷达、无线电波测量等领域，其优劣性将对系统性能产生直接的影响^[9]。频率源的关键技术是低杂散与低相噪设计，为得到设计频率稳定度较高的频率源，先运用 ADS 对频率源进行仿真设计，再对其进行电路与程序设计。按照芯片手册提供的电荷泵锁相环路滤波器对其进行仿真设计，得到环路滤波器开环和闭环系统特性仿真，如图 8 所示。

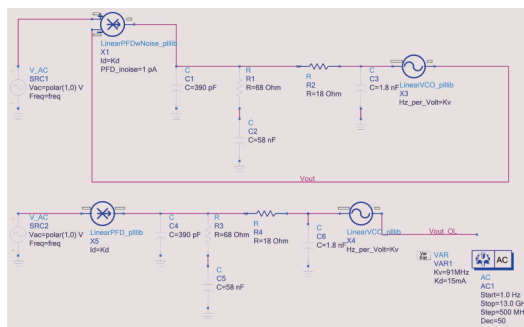


图 8 开环和闭环系统特性仿真示意图

Fig. 8 Simulation diagram of open loop and closed-loop system characteristics

对开环和闭环电路进行仿真，得到其幅度和相位响应，如图 9 和图 10 所示。

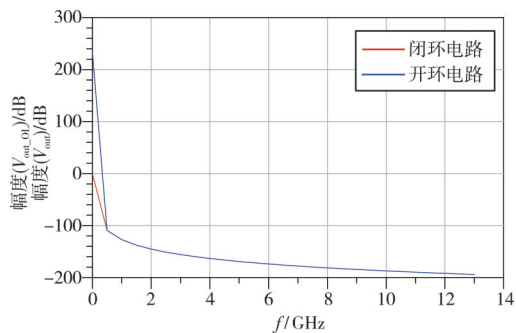


图 9 开环和闭环电路幅度响应曲线

Fig. 9 Amplitude response curves of open-loop and closed-loop circuits

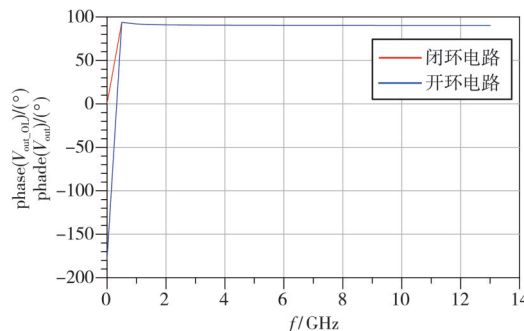


图 10 开环和闭环电路相位响应曲线

Fig. 10 Phase response curves of open-loop and closed-loop circuits

-11.27 dBm。由于在K波段使用探针产生的损耗有20 dBm左右,所以实际输出信号功率大于10 dBm,频率源部分完成设计指标,满足为宽带电磁接收机工程项目提供稳定信号的功能。

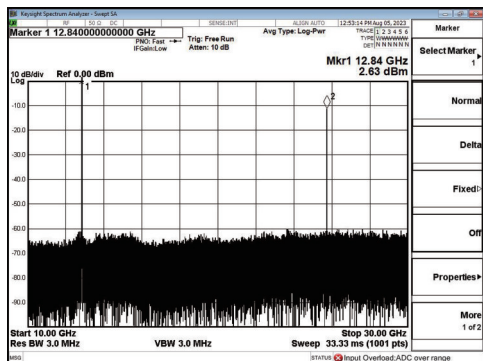


图 15 锁相环产生信号频谱图

Fig. 15 PLL produces the signal spectrum diagram

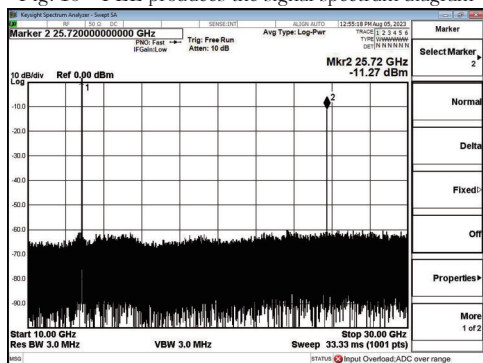


图 16 倍频后K波段信号频谱图信号

Fig. 16 Frequency doubled K band signal spectrum diagram signal

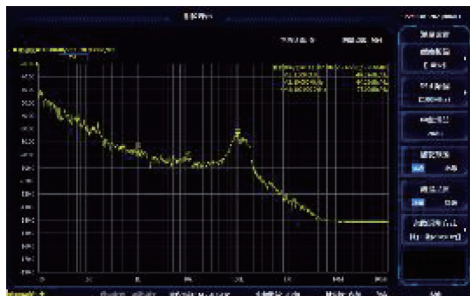


图 17 频率源测试相位噪声图

Fig. 17 Frequency source test phase noise pattern

4 结论

本文通过对频率源锁相环部分进行建模仿真,根据锁相环的环路响应模板对系统进行开闭环幅度和相位仿真及环路时域瞬态响应,从理论上证实了可行性。通过采用腔体设计及微组装的方式完成了锁相环电路,控制单元及倍频电路的设计,实现了25.6 GHz、大于10 dBm的信号输出,频率源体积小且能长期稳定工作,对后续工程项目的进展具有重要应用价值。

参考文献:

- [1] 闫冲, 王强, 李晓慧, 等. 基于小数分频锁相环的低杂散频率源设计[J]. 电子质量, 2019(4): 65-69.
YAN Chong, WANG Qiang, LI Xiaohui, et al. Design frequency source with low spurious based on fractional-N PLL[J]. Electronics Quality, 2019(4): 65-69. (in Chinese)
- [2] 马嵩. 宽带超外差接收机的电磁兼容分析与设计[J]. 电子设计工程, 2019, 27(3): 189-193.
MA Song. Electromagnetic compatibility analysis and design of wideband superheterodyne receiver[J]. Electronic Design Engineering, 2019, 27(3): 189-193. (in Chinese)
- [3] 梁佳琦, 权海洋, 张佃伟, 等. 一款集成VCO宽带频率合成器[J]. 半导体技术, 2021, 46(11): 854-860.
LIANG Jiaqi, QUAN Haiyang, ZHANG Dianwei, et al. An integrated VCO wideband frequency synthesizer [J]. Semiconductor Technology, 2021, 46(11): 854-860. (in Chinese)
- [4] 沈文渊, 唐光庆, 杨清福, 等. 基于双环系统的细步进频率合成器[J]. 压电与声光, 2020, 42(2): 173-177.
SHEN Wenyuan, TANG Guangqing, YANG Qingfu, et al. A fine step frequency synthesizer based on double loop system [J]. Piezoelectrics and Acousto Optics, 2020, 42(2): 173-177. (in Chinese)
- [5] 胡丽格. 基于ADF4350与AD9913的跳频频率合成器设计[J]. 无线电工程, 2015, 45(9): 65-67.
HU Lige. Design of frequency hopping synthesizer based on ADF4350 and AD9913[J]. Radio Engineering, 2015, 45(9): 65-67. (in Chinese)
- [6] 姬娜娜. 微小型毫米波测距系统设计[D]. 太原: 中北大学, 2022.
- [7] 江润东, 姚金杰, 姬娜娜, 等. Ka波段频率源建模分析与设计[J]. 电子技术应用, 2021, 47(7): 12-16.
JIANG Rundong, YAO Jinjie, JI Nana, et al. Modeling analysis and design of Ka-band frequency source modeling [J]. Application of Electronic Technique, 2021, 47(7): 12-16. (in Chinese)
- [8] ZHAO R, ZHANG Y, LYU H, et al. Design and implementation of charge pump phase-locked loop frequency source based on GaAs pHEMT process [J]. Sensors, 2022, 22(2): 504.
- [9] BERBER Z, KAMECHE S, BENKHELIFA E. Design of integer-N PLL frequency synthesiser for E-band frequency for high phase noise performance in 5G communication systems[J]. IET Networks, 2020, 9(1): 23-28.