



# SiC MOSFET 雪崩可靠性验证实验平台研制

刘冬<sup>1</sup>, 朱辰<sup>1</sup>, 林超彪<sup>2</sup>, 任娜<sup>2\*</sup>, 屈万园<sup>1</sup>

(1. 浙江大学国家卓越工程师学院, 杭州 310015; 2. 浙江大学电气与工程学院 杭州 310015)

**摘要:** 为满足碳化硅功率 MOSFET 器件雪崩鲁棒性性能评估与可靠性量化分析与测试的教学实验需求, 自研 SiC MOSFET 可靠性验证实验平台。提出功率 SiC MOSFET 器件驱动电路设计与应用方案, 构建实验平台等效电路模型并进行参数仿真, 设计、制作测试电路板并搭建整体实验平台。开展商用 SiC MOSFET 可靠性实验与研究, 分析其性能失效前后的电流电压响应曲线, 并研究不同感性负载对雪崩特性的影响, 测试结果遵循功率 MOSFET 器件理论规律, 验证了实验平台的可用性。该平台开放性强、功能可扩展、成本低, 可用于功率器件教学实训和创新科研, 为我国功率器件与芯片领域的卓越工程师培养提供试验平台。

**关键词:** 功率 SiC MOSFET; 雪崩鲁棒性; 实验平台; 电路设计; 印制电路板

中图分类号: TN386.1; TN323+4

文献标志码: A

DOI: 10.12179/1672-4550.20240162

## Development of a Testbench for Avalanche Reliability Verification of SiC MOSFET

LIU Dong<sup>1</sup>, ZHU Chen<sup>1</sup>, LIN Chaobiao<sup>2</sup>, REN Na<sup>2\*</sup>, QU Wanyuan<sup>1</sup>

(1. National Outstanding Polytechnic Institute, Zhejiang University, Hangzhou 310015, China;

2. College of Electrical Engineering, Zhejiang University, Hangzhou 310015, China)

**Abstract:** To meet the teaching and experimental demands for evaluating the avalanche breakdown robustness and reliability of power SiC MOSFET devices, a custom testbench for avalanche reliability verification has been developed. A design and application scheme for the power SiC MOSFET gate drive circuit was proposed. Through establishing an equivalent circuit model for the testbench and performing parameter simulation, the test circuit board was designed and fabricated. The complete experimental platform was constructed, and reliability experiments and research were conducted on commercial SiC MOSFET devices. The current and voltage response curves before and after device failure were analyzed, and the influence of different inductive loads on avalanche characteristics was studied. The experimental results align with the theoretical laws of power MOSFET devices, verifying the effectiveness of the developed testbench. The platform features strong openness, functional extensibility, and low cost, making it suitable for educational training and innovative research in power devices. It provides a testing platform for cultivating outstanding engineers in China's power device and chip industry.

**Key words:** power SiC MOSFET; avalanche robustness; testbench; circuit design; PCB

在碳中和的时代背景下, 随着以电力电子为主的绿色新能源行业迅速发展, 以碳化硅(SiC)为代表的宽禁带半导体器件成为了电力电子行业功率器件的主流发展方向<sup>[1-2]</sup>。凭借着优异的物理性能<sup>[3]</sup>, 碳化硅功率器件突破了硅基材料功率器件在高压高频高温下的应用瓶颈, 可应用于 600 V~10 kV 的场景, 支撑新型大功率电力电子装置广泛

应用于各种工业电源, 包括新能源汽车<sup>[4]</sup>电机驱动、电力牵引、电能质量控制、可再生能源发电、分布式发电、光伏逆变等领域。

作为电力电子技术的核心, 电力电子器件工作的长期稳定性和极端条件下的可靠性成为了决定电力电子装置及应用水平的一个重要指标, 据统计, 功率电子器件失效是电力电子系统中主要

收稿日期: 2024-03-29

基金项目: 浙江省自然科学基金(LTGC24F040001); 浙江省教育厅一般科研项目(Y202351231); 浙江省自然科学基金青年原创(LDQ24F040001)。

作者简介: 刘冬, 硕士, 讲师, 主要从事半导体器件可靠性表征方面的研究。E-mail: liudongpi@zju.edu.cn

\*通信作者: 任娜, 博士, 特聘研究员, 主要从事碳化硅功率器件的可靠性与抗辐射性能方面的研究。E-mail: ren\_na@zju.edu.cn

故障来源之一<sup>[5-6]</sup>。因此,掌握碳化硅 MOSFET 功率器件可靠性相关知识,具有测试评估其可靠性的能力是从事相关领域工程研发与生产的基础,具有重大的现实意义。

同时,碳化硅功率 MOSFET 器件性能及可靠性评估也是电力电子技术、电子器件与集成电路等电气信息类本科专业核心课程的重要内容之一,在现有的教学模式下,主要以理论知识介绍为主,缺少实验操作与实践环节来配合课堂理论学习<sup>[7-8]</sup>。然而,实践环节依赖于可靠性测试设备,目前市场上的功率电子器件测试设备大多被国外进口设备垄断,价格昂贵,且无法提供详细的技术资料与内部原理;学生仅能操作设备进行流程化的标准测试,无法触及和了解成熟设备封装在内部的功率主电路、驱动控制等电力电子系统重要部件<sup>[7]</sup>;面对工程实际问题,很难通过所学电力电子技术知识去解决。因此现有设备对学生的知识融会贯通及应用、解决实际问题等能力培养有限<sup>[9-10]</sup>。

基于上述问题,本文开发了一套 SiC MOSFET 可靠性验证实验平台。该平台具有性能可靠、低

成本、开放性强、可扩展性的特点。基于该平台实践,学生可以掌握电子系统需求分析与模块功能划分定义、电路设计与仿真、印制电路板(printed circuit board, PCB)设计与加工、焊接装配、集成与调试、应用等功率器件测量平台开发实际工程的系统知识架构和实现流程<sup>[11-13]</sup>,还可以应用支撑相关科学课题和工程项目,促进学生动手实践创新能力提升,对我国功率器件与芯片卡脖子工程研发技术人才培养具有重大意义。

## 1 功率器件雪崩可靠性测试

雪崩测试是功率器件可靠性的关键测试<sup>[14-15]</sup>,而非钳位负载开关电路是功率器件在系统装置应用中所能遭受的最极端应力情况,直接反应了电力电子器件在实际应用场景中承受瞬态过电压应力冲击的极限耐受力,因此非钳位负载开关测试作为一种典型的雪崩测试方法被人们广泛接受<sup>[16-17]</sup>。根据国际电工委员会(IEC)IEC-60747-9-2007 标准,典型的非钳位感性负载测试原理与波形图如图 1 所示。

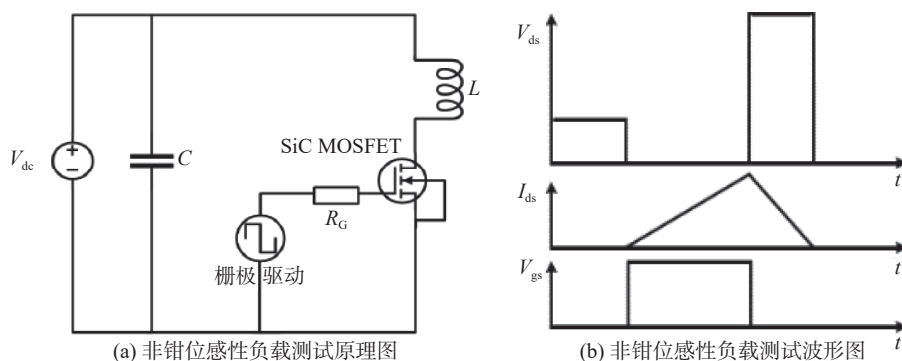


图 1 非钳位感性负载测试原理与波形图

## 2 测试平台系统设计与硬件实现

### 2.1 整体设计方案

在实际高速开关应用中,由于感性负载的作用,功率 MOSFET 的源漏端发生的雪崩现象会导致器件性能退化和失效,如栅极阈值电压、源漏泄露电流等。因此,为了确保功率 MOSFET 始终安全可靠地工作,需要明确其耐受的雪崩电流和雪崩能量极限值,即雪崩耐量指标。设计功率 MOSFET 器件的雪崩特性测试电路,就是根据器件在雪崩工作模式下的应用需求进行模拟,对其雪崩耐量指标进行测试和表征,以更进一步地探索和研究雪崩情况下的器件性能退化和失效机

制。前期设计过程中,需要根据待测试器件的额定工作能力确定实验平台综合参数,使之产生的峰值电流和雪崩能量足以使待测器件经历雪崩正常关断到彻底失效的全过程,以及驱动电路的设计参数足以驱动待测器件的正常关断;硬件实现过程中需要严格控制回路中的寄生电感,以控制其对雪崩波形产生的不良影响;同时为了保护系统各组件的安全,需要做好电气隔离措施。

基于以上原则设计,所构建的实验平台整体功能组件框架图如图 2 所示,主要包括了 SiC MOSFET 功率主电路和栅极驱动控制模块两部分。其中,功率主电路由高压直流源、母线电容组、负载电感、待测试器件、同轴电阻与电流电压

信号采集示波器构成, 栅极驱动控制模块包括了信号发生器、光耦隔离器、驱动芯片及供电电源。

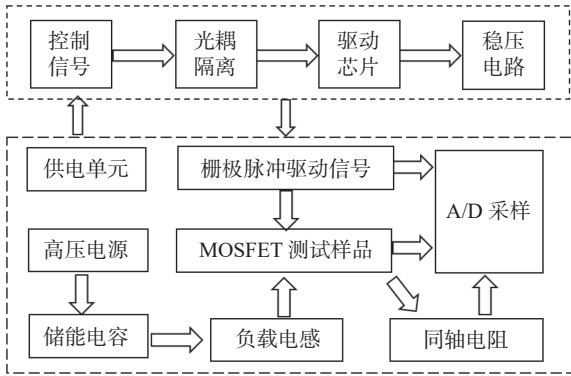


图2 实验平台架构组成示意图

结合图3详细描述实验平台的工作原理, 设计母线电容组作为储能电容, 用于提供器件在雪崩过程中所需消耗的能量, 同时确保在雪崩过程中母线电压保持基本稳定, 并且能够一定程度上提供高频电流通路。母线电容的储能过程选择用高压直流源对母线电容组充电来完成, 当充电至测试电压后, 通过关断高压电源与母线电容组之间的断路器, 以此来保护高压电源系统的安全。测试开始后, 母线电容的能量对负载电感充电, 当功率 MOSFET 切换至关断状态时, 由于负载电感上的电流迅速降低, 在器件源漏产生的电压大于其击穿电压, 使得器件进入雪崩状态, 直至电感能量释放彻底才会结束雪崩过程。该过程中,

采用同轴电阻用于精准测量功率 MOSFET 的漏极电流信号  $I_{ds}$ , 用电压探头测量漏极电压信号  $V_{ds}$  及栅极驱动信号  $V_{gs}$ , 并由示波器采集并显示。栅极驱动信号确保器件的准确开启和关断, 由信号发生器产生的控制信号, 经过集成了电气隔离、电流放大和稳压功能的栅驱动 PCB 板产生。辅助电源为栅驱动 PCB 供电。

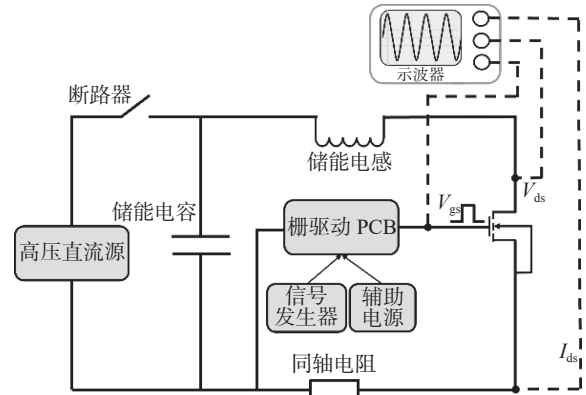


图3 实验平台原理图

实验平台的工作流程如图4所示。首先通过硬件调试使平台能产生正确的栅极驱动控制信号; 其次, 制定合理的测试计划, 需要根据器件数据手册进行脉冲宽度, 测试电压等初始测试条件确定, 并开启第一次雪崩测试; 最后, 通过波形分析器件是否发生雪崩失效, 不断调整脉冲宽度, 进行雪崩极限电流和耐量值的测量。

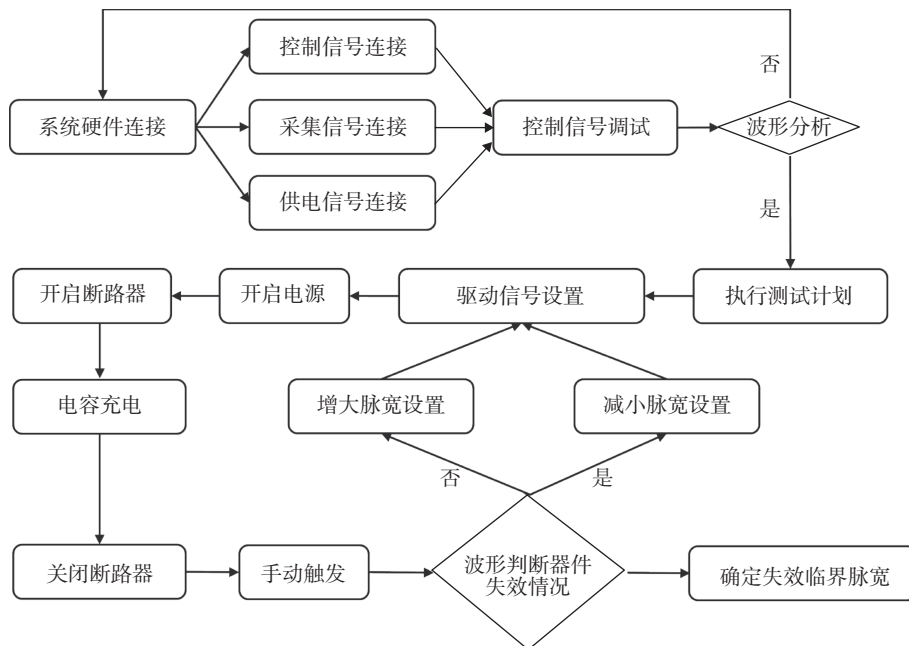


图4 实验平台工作流程框图

### 2.2 驱动控制模块设计方案

SiC MOSFET 虽然在器件性能上相较 Si MOSFET 拥有诸多优势，但是两者的开关特性仍存在很大区别，前者栅极驱动电路不能直接使用后者的直接替代。因此，本文重点设计了 SiC MOSFET 栅极驱动电路，主要包括了驱动电路设计与相应供电电源设计，从以下几点需求出发。

1) 为保证待测试器件 SiC MOSFET 彻底导通和关断，栅极驱动电路最终要提供比较高的驱动电压和负的关断电压。根据《工业场景应用 SiC MOSFET 器件数据手册》，栅极开通电压为 18 V，关断电压为 -5 V。

2) 栅极驱动电压是通过驱动电路将控制电路输出的控制信号进行电流放大得到的，因此为了保护控制电路，一般要在驱动电路前端加入隔离芯片进行电气隔离。

如图 5 所示，本文采用的是 Silicon Lab 公司的 Si8261 光耦隔离驱动芯片，其具有供电范围宽、隔离电压高、延迟低、轨对轨输出等优点，不仅满足控制电路与驱动电路之间 3.75 kV 的电压隔离，同时实现 4 A 的驱动电流输出能力，能够较好地满足 SiC MOSFET 的开关需求。通过 VDD 与 GND 侧的旁路电容设计，可以防止供电电压波动造成芯片损坏以及屏蔽高频噪声干扰。设计基于稳压二极管的外围电路来辅助光耦隔离芯片实现 -5 V 的栅极驱动电压，该辅助电路设计简单，无需额外的供电电源，但驱动地和功率地之间必须隔离。

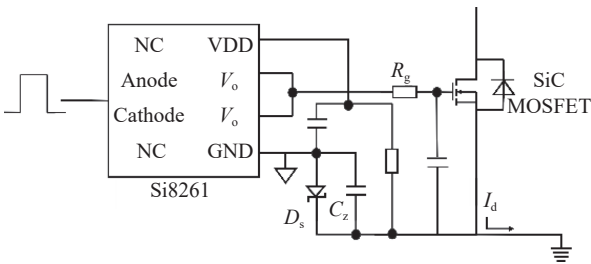


图 5 SiC MOSFET 驱动电路设计图

光耦隔离芯片的电源设计如图 6 所示，分别采用隔离电源模块 F2424XT-2WAR3 和线性稳压器 LM317 对辅助直流电源的 24 V 输入电压信号进行隔离，并生成稳压单路电压信号。F2424XT-2WAR3 的输出电容是 1 μF、LM317 稳压电路的输入电容和输出电容分别为 0.1、1.0 μF。在输出端与调节端放置两个电阻  $R_a$ 、 $R_b$ ，其中  $R_a$  电阻值为

240 Ω，两端的电压为参考电压  $V_{ref}$ ，其值为 1.25 V。

$$V_{out} = V_{ref} \left( 1 + \frac{R_b}{R_a} \right) \quad (1)$$

由式(1)可知，通过调节可调电阻  $R_b$  的值可以得到稳定的 +24 V 电压作为隔离芯片 Si8261 驱动芯片的供电电源。同时，根据实际需求对外接可调电阻进行调节还可以满足多种开启电压的器件测试。

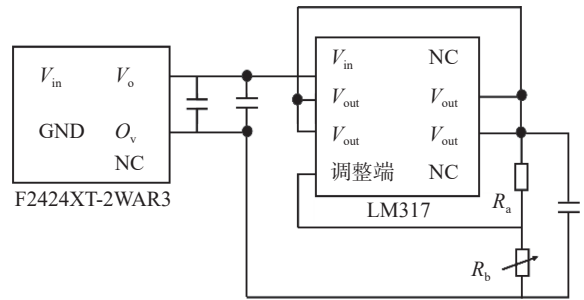


图 6 SiC MOSFET 驱动芯片电源设计图

### 2.3 功率主回路参数设计与仿真

本部分首先构建了功率主回路仿真电路，如图 7 所示。 $C_1$  为母线电容， $L_1$  为负载电感元件， $R_1$  为同轴电阻，待测器件为英飞凌公司生产的型号为 AIMW120R060M1H\_L3 的 SiC MOSFET，其 SPICE 仿真模型来源于官网，包括了传统的电学模型 3 个节点：源、漏、栅，以及热模型两个节点： $T_j$  (结温) 和  $T_c$  (壳温度)，并将  $T_c$  壳温度通过电压配置器(25 V)设置为 25 °C。

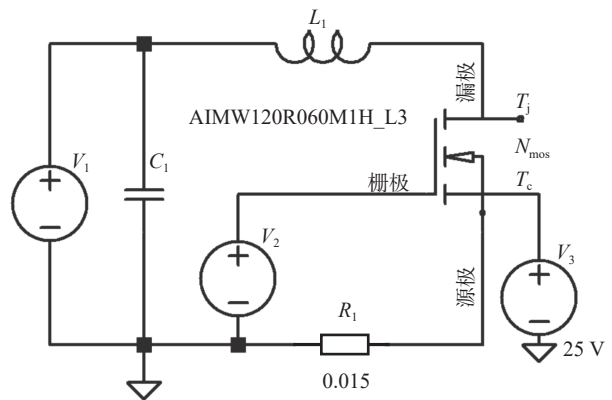


图 7 功率主回路电路图

如图 7 所示，本文采用的是同轴电阻与待测器件串联，以此准确测量器件漏极的电流响应，由 T&M Research 公司生产，型号为 SSDN-015，最大脉冲能量为 1.5 J，基本上能够满足常用功率 SiC MOSFET 器件发生雪崩带来的能量冲击。因此，为确保设备安全，对母线电容组的初始充电

能量提出了最大范围要求。

$$P = \frac{1}{2}CV^2 < 1.5 \text{ J} \quad (2)$$

如式(2)所示, 母线电容的总储能由高压电源设备产生的电压和电容元件容值属性共同决定, 而且常用 SiC MOSFET 器件的雪崩可靠性测试对母线电压的要求并不是很高。因此出于对高压电源设备的安全考虑, 确定提供给储能电容的两端电压为 100 V, 由式(2)计算得出母线电容的容值不超过 300  $\mu\text{F}$ 。对母线电容为 50、100、200、300  $\mu\text{F}$  4 种不同规格进行了 LTSPICE 仿真, 对比结果如图 8 所示, 表明电容容值越大, 电感充电过程中导致的母线电压降低幅度越小, 即母线电容的电压稳定性更好。因此, 本平台采用 300  $\mu\text{F}$  的母线电容规格。

寄生电感是影响功率器件动态特性的一个至关重要的参数, 其存在于功率回路中虽然无法消除, 但应该尽量做到严格控制。因此, 在本实验平台搭建过程中, 利用电路仿真软件 LTSPICE 研究功率回路中的寄生电感对雪崩测试波形影响, 其等效电路原理图如图 9 所示, 考虑了母线电容以及器件栅、源处的寄生电感。仿真结果如图 10 所示, 回路中的寄生电感会在器件源漏端产生瞬间大电压震荡, 严重影响雪崩可靠性测量。因

此, 本文设计母线电容时, 选用 6 个 50  $\mu\text{F}$  的薄膜电容并联, 来降低回路中的寄生电感, 并且为了排除高频信号干扰和稳定直流电源电压, 额外并联 6 个 0.47  $\mu\text{F}$  和 10 个 0.12  $\mu\text{F}$  的电容。

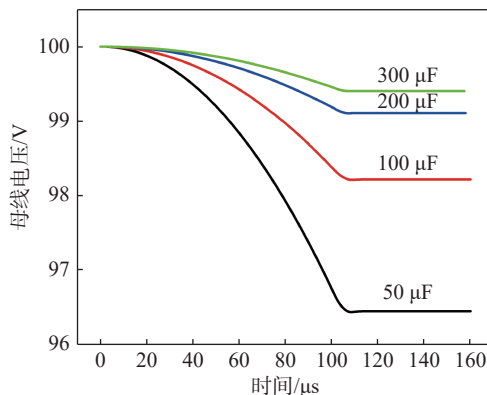


图 8 不同容值对母线电压的波动影响对比图

此外, 相比母线电容以及待测器件的寄生电感, PCB 板上各种元件之间引线的寄生电感占回路中寄生电感比重更高, 是减小回路总寄生电感的关键。本文中采用耐高温、大电流的老化测试夹具作为转接基座将测试器件连接至 PCB 板上, 在位置布局上考虑尽可能靠近驱动芯片, 与母线电容组的连接上采用叠层母排结构的连接引线, 并且采用电源与地平台布局来缩短信号路径, 通过以上方法共同减小引线带来的回路寄生电感。

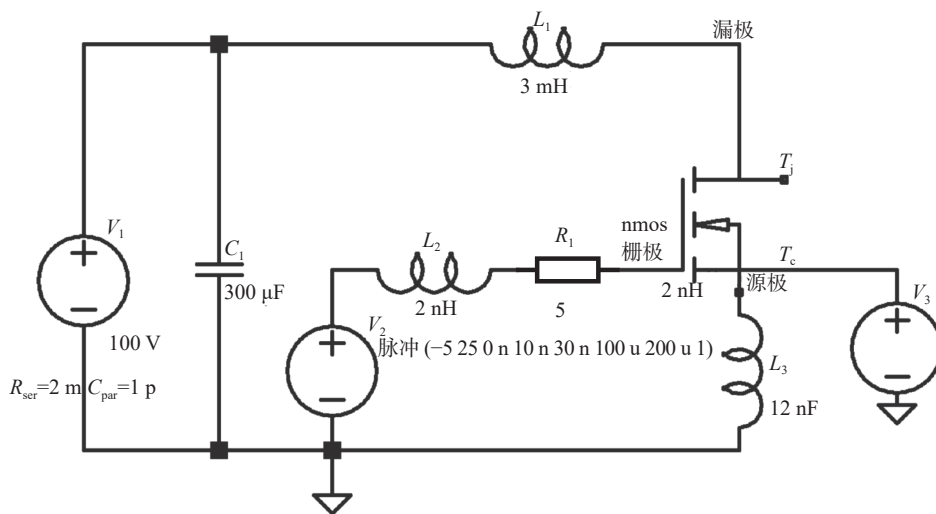


图 9 寄生电感等效电路原理图

### 2.4 PCB 设计与制作

本部分针对上文所设计的 SiC MOSFET 驱动控制模块和功率主回路进行 PCB 板级设计与制备。首先, 基于 PCB 电子开发设计软件完成元

器件选型与电路原理图绘制, 实施原理图设计规则检查(design rule checking, DRC), 完成电气连接验证; 然后, 进行原理图向 PCB 板的转化, 采用自动布线和手动布线相结合的方式合理布线,

对元器件布局进行了合理规划以缩短传输路径延时；最后，对 PCB 板进行 DRC 检查，直至所有引脚都正常连接。代表版图复合原理设计和工艺制造要求，成功通过 DRC 检查的 PCB 板如图 11 所示。

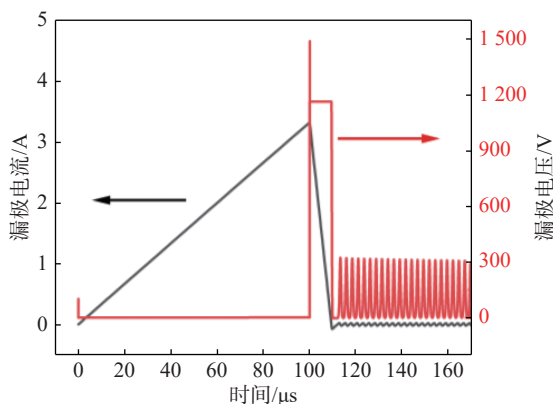


图 10 寄生电感对测试的影响曲线图

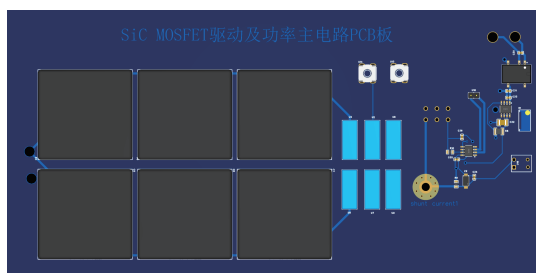


图 11 驱动模块以及功率主电路 PCB 板实物图

### 3 实验平台测试验证

#### 3.1 驱动控制模块测试

栅极驱动控制模块是实验平台的关键组成部分，其功能是为 SiC MOSFET 器件提供开关驱动信号。因此在实验平台开发搭建过程中，首先需要针对驱动控制模块产生的驱动信号进行实测验证，如图 12 所示。示波器在负载 MOSFET 器件的栅极捕捉到了电压脉冲信号，高、低水平分别为+18、-5 V，与实验平台的设计需求保持一致。

#### 3.2 测试平台实例验证

搭建的 SiC MOSFET 可靠性验证实验平台实物如图 13 所示，以商用功率器件作为实例来测试平台的可行性。采用的实例来自于目前在商用功率器件领域中居于领导地位的英飞凌公司，型号为 AIMW120R060M1H，额定电压和额定电流分别是 1 200 V、36 A，且满足车规级行业标准，是一种新能源汽车领域的典型功率器件。

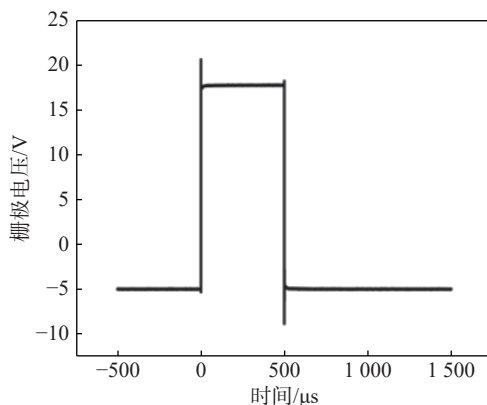


图 12 栅极驱动信号波形图

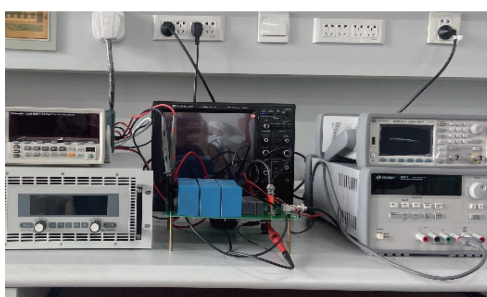


图 13 SiC MOSFET 可靠性验证实验平台实物图

为准确测量 SiC MOSFET 器件的极限雪崩电流和能量，通常采用逐步增加器件导通时间的方法进行多次测量获得，且每两次测量之间需保持一定时间间隔。基于本实验平台的工作流程(图 4)，器件雪崩特性测量的具体步骤如下。

- 1) 按图 3 连接实验设备，将示波器探头分别连接器件的栅源、漏源以及同轴电阻。
- 2) 设置信号发生器上的脉冲信号。打开脉冲信号输出，根据器件产品手册中的标准雪崩耐量或者额定电流的一半计算对应的器件导通时间，并作为参考设置一个合理的脉冲宽度，打开 Burst 类型，选择循环次数为 1 和手动触发模式。
- 3) 驱动控制信号调试及确认。示波器探头连接信号发生器，确认采集到已设置的脉冲控制信号；开启辅助直流源输出，通过示波器电压探头采集驱动电路板上栅源处波形，确认驱动控制信号正常。
- 4) 启动测试。开启高压直流源，待其达到一定电压水平时闭合高压断路器，对母线电容充电，待充电完成断开高压断路器，打开辅助直流源，手动触发驱动控制信号输出，开始对器件进行测试。

5) 测试结束后,示波器上将呈现栅源电压  $V_{gs}$ 、漏源电压  $V_{ds}$  和漏源电流  $I_{ds}$  波形,然后将高压直流源电压设置为 0,闭合高压断路器对电容组进行放电,待放电完成先关断高压断路器,再关闭辅助直流源,最后保存波形和原始数据。

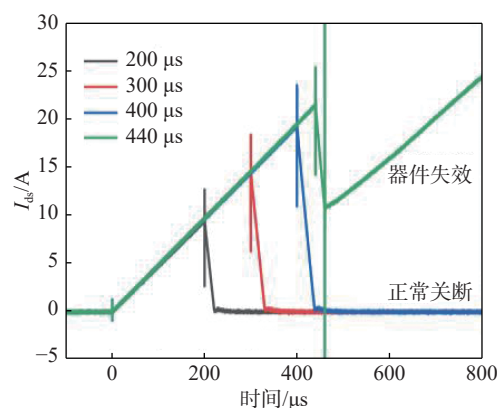
6) 重复步骤 2)~步骤 5) 进行多次测量,增加脉冲宽度直至器件波形显示无法正常关断,意味着器件已遭受到极限雪崩电流和能量的冲击彻底失效。

器件在不同栅极导通时间下的雪崩特性测试如图 14(a)所示。器件开启时,电感电流按照一定的斜率正向增长,随着脉冲宽度的不断增加,达到一定的峰值电流;当栅极关断时,快速降低的电感电流导致的源漏间电压大于其击穿电压,使得器件进入雪崩过程,当器件电流无法减小至 0,器件无法正常关断(图 14(a)绿色曲线)。该器件在失效前最后一次测试和失效后的典型电压电流曲线分别如图 14(b)和图 14(c)所示,完整地展示一个功率半导体器件发生雪崩失效的全过程。

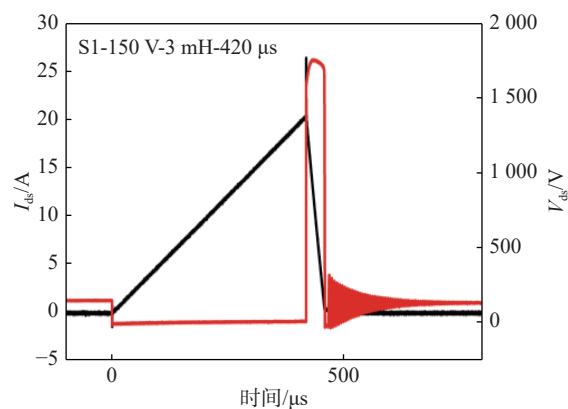
基于该平台,本文还研究了感性负载大小对器件雪崩峰值电流、充电时间、雪崩持续时间和能量的影响。图 15 呈现了负载电感的值从 3.00 mH 增大为 12.33 mH 的波形变化,达到同样的雪崩峰值电流大小( $I_{peak}=10$  A)。随着电感从 3.00 mH 增大到 12.33 mH,电感充电过程中的电流增长率明显放缓,需要更长的器件导通时间完成电感充电。发生的雪崩过程中,电流减小速率明显变缓,整个雪崩持续时间变长,源漏间电压更低,器件承受的雪崩能量增大。负载电感的大小会影响储能阶段回路电流的上升速率和雪崩阶段回路电流的下降速率,从而改变雪崩持续时间、雪崩电压和雪崩耐量,因此,在对不同产品的雪崩性能进行比较时,需要准确了解其测试所用的电感大小。

以上实验结果说明,实验平台具备了在不同脉冲宽度、不同电感等条件下对功率 SiC MOSFET 器件进行雪崩参数测试的能力,符合设计要求。基于其可开展 SiC MOSFET 器件雪崩可靠性测试与研究的平台能力,以工程问题为导向,强化工程实践,构建了面向工业级 SiC MOSFET 产品的真实研发测试场景与环节,为学生提供工业产品综合特性测试的教学实训内容,加强学生对国家卡脖子关键领域的产业认知和提升解决复杂工程问题的能力。作为工程设计、制造、测试、分析

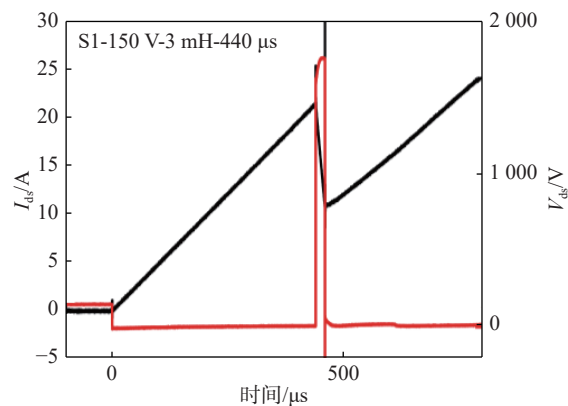
研发全流程的重要一环,工业产品综合特性测试成为了面向工程类专业学位研究生开设的实验实践类高端通识课程、省级研究生优秀课程“高阶工程认知与实践”的核心基础模块,连续两年应用于该课程,服务研究生共计 1200 余人次。“高阶工程认知与实践”致力于通过构建多学科交叉综合认知实践教学平台,开展并强化工程类专业学位研究生对基本工程技能和复杂工程系统的综合认知和创新训练。



(a) 典型雪崩过程波形曲线

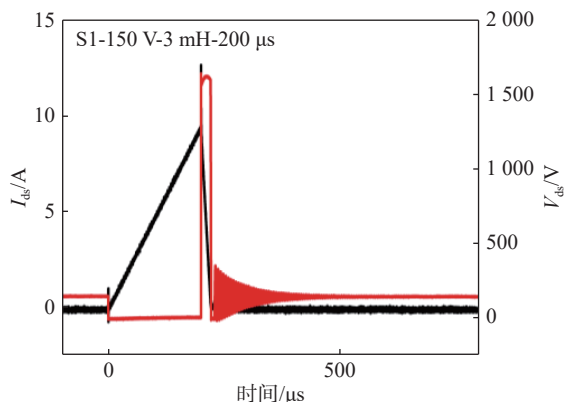


(b) 失效前的电压和电流曲线

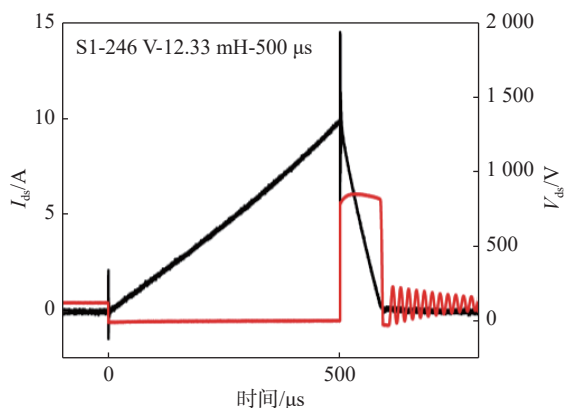


(c) 失效后的电压和电流曲线

图 14 SiC MOSFET 典型雪崩失效过程曲线图



(a) 负载电感为 3.00 mH



(b) 负载电感为 12.33 mH

图 15 负载电感对雪崩耐量的影响曲线图

## 4 结束语

本文围绕功率电子器件 SiC MOSFET 可靠性评估测量的实际需求, 针对目前 SiC MOSFET 缺乏国产化实验教学平台与研究用测试装备的现状, 研制了 SiC MOSFET 可靠性测试系统, 搭建了验证实验平台, 利用测试平台对标准器件进行了实际测试, 测试结果准确可靠。该实验平台不但可以用于综合性、设计性和创新性实验教学, 有助于我国功率器件与芯片方向卓越工程师的培养, 同时也可打破技术封锁, 推动国产功率电子器件可靠性优化工程研发和产品开发。

## 参考文献

[1] 白志强. 4H-SiC 功率 MOSFETs 的可靠性研究[D]. 西安: 西安电子科技大学, 2022.  
 [2] 吴玲, 赵璐冰. 第三代半导体产业发展与趋势展望[J]. 科技导报, 2021, 39(14): 20-29.  
 [3] 盛况, 任娜, 徐弘毅. 碳化硅功率器件技术综述与展望[J]. 中国电机工程学报, 2020, 40(6): 1741-1753.

[4] 国家发展改革委, 国家能源局. 2021 年能源工作指导意见 [EB/OL]. (2021-04-19)[2024-03-29]. [http://www.nea.gov.cn/2021-04/22/c\\_139898478.htm](http://www.nea.gov.cn/2021-04/22/c_139898478.htm).  
 [5] SINTAMAREAN N C, BLAABJERG F, WANG H, et al. Real field mission profile oriented design of a SiC-based PV-inverter application[J]. IEEE Transactions on Industry Applications, 2014, 50(6): 4082-4089.  
 [6] 姚芳, 王少杰, 李志刚. 考虑退化状态的功率器件寿命预测研究[J]. 现代电子技术, 2017, 40(14): 132-135.  
 [7] 史敬灼, 张亚楠. “电力电子技术”课程实验教学改革[J]. 电气电子教学学报, 2021, 43(14): 169-173.  
 [8] 杨苓, 李杰文, 王晓琳, 等. “新工科”背景下“电力电子技术”课程教学探索[J]. 中国电力教育, 2023(11): 63-64.  
 [9] 王华, 吴桂清, 刘红霞, 等. “新工科”理念下的电气信息类专业实验教学体系建设[J]. 实验技术与管理, 2020, 37(12): 13-16.  
 [10] 刘彦飞, 代永红, 周立青, 等. 面向基础教学的数字电路实验平台研制[J]. 实验室研究与探索, 2019, 38(1): 170-174.  
 [11] 易磊, 张蓉, 邓春花, 等. 基于双向 DC-DC 变换器的电力电子创新实验平台设计[J]. 实验科学与技术, 2023, 21(5): 143-148.  
 [12] 戴志坚, 韩熙利. 集成电路测试实验课程建设与人才培养[J]. 实验科学与技术, 2022, 20(5): 56-60.  
 [13] 陈宏, 杨树, 郭清, 等. 应用 QFN 封装的 CMOS 运算放大器芯片设计[J]. 实验室研究与探索, 2022, 41(4): 103-106.  
 [14] REN N, HU H, WANG K L, et al. Investigation on single pulse avalanche failure of 900 V SiC MOSFETs[C]//2018 IEEE 30th International Symposium on Power Semiconductor Devices and ICs (ISPSD). New York: IEEE, 2018: 431-434.  
 [15] DENG X C, ZHU H, LI X, et al. Investigation and failure mode of asymmetric and double trench SiC mosfets under avalanche conditions[J]. IEEE Transactions on Power Electronics, 2020, 35(8): 8524-8531.  
 [16] REN N, WANG K L, WU J P, et al. Failure mechanism analysis of SiC MOSFETs in unclamped inductive switching conditions[C]//2019 31st International Symposium on Power Semiconductor Devices and ICs (ISPSD). New York: IEEE, 2019: 183-186.  
 [17] AN J J, HU S D. Experimental and theoretical demonstration of temperature limitation for 4H-SiC MOSFET during unclamped inductive switching[J]. IEEE Journal of Emerging and Selected Topics in Power Electronics, 2020, 8(1): 206-214.

编辑 王燕