



# 基于 FMQL 的多通道数据采集实验 平台设计与实现

马文建, 张毅果, 陈 凯\*, 盛瀚民, 周文建, 陈世龙

(电子科技大学 自动化工程学院, 成都 611731)

**摘要:** 为丰富电子信息类实验课教学内容, 提高学生的系统工程能力, 激发学生的学习热情和探索潜能, 设计了一种基于 FMQL 的多通道数据采集全国产化实验平台。该平台利用集成 FPGA 和 ARM 的 FMQL 系列片上系统 (SoC) 芯片作为处理器, 采用内部高级可扩展接口 (AXI) 总线实现采集数据的高速传输。通过该实验平台, 使学生深入理解 FPGA+ARM 的体系架构, 培养学生的软硬件协同设计与分析能力, 引导学生认识信息技术自主可控对国家安全的重要性与紧迫性, 推进新工科挑战性学习与研究型教学体系的建设与改革。

**关键词:** FMQL; 多通道数据采集; 自主可控; 软硬件协同设计

中图分类号: TP274.2

文献标志码: A

DOI: 10.12179/1672-4550.20230223

## Design and Realization of Multi-channel Data Acquisition Experimental Platform Based on FMQL

MA Wenjian, ZHANG Yiguo, CHEN Kai\*, SHENG Hanmin, ZHOU Wenjian, CHEN Shilong

(School of Automation Engineering, University of Electronic Science and Technology of China, Chengdu 611731, China)

**Abstract:** To enrich the teaching content of electronic information experiment courses, improve students' systems engineering capability, and motivate students' learning enthusiasm and exploring proficiency, an experimental platform for multi-channel data acquisition based on Fudan Micro Qing Long (FMQL) is designed. This platform uses the FMQL system on chip (SoC) which is integrated with field programmable gate array (FPGA) and advanced RISC machines (ARM) as the processor, and uses an internal advanced extensible interface (AXI) bus to realize high-speed transmission of data acquisition. Through the experimental platform, students can deeply understand the architecture of FPGA+ARM, which can also cultivate students' software and hardware collaboration, guide students to understand the importance and urgency of the independently controllable information technology for national security, and propel the construction and reform of challenging learning and the research-based teaching system for new engineering.

**Key words:** FMQL; multi-channel data acquisition; autonomous and controllable; software and hardware collaborative design

近年来, 国际政治、科技、产业发展形势风云变化, 我国科技领域的“卡脖子”问题愈加凸显, 科技创新自主可控与科技交叉人才培养已成为社会共识<sup>[1]</sup>。高校作为培养科技创新人才的主战场, 实验课程逐步对接自主可控技术体系是必然趋势<sup>[2]</sup>。

结合电子信息类专业培养方案、科技创新自主可控培养目标和电子信息行业发展现状<sup>[3]</sup>, 电子

科技大学自动化学院“通用电子测试技术”实验课程组推出了一种多通道数据采集全国产化实验平台, 该平台集成了前端多通道数据采集、片上系统 (SoC) 数据处理传输, 以及 PC 上位机显示分析等功能。

实验过程中, 从信息技术自主可控角度融入课程思政元素<sup>[4]</sup>, 要求学生在对系统各模块案例进行逐一学习和部分设计的基础上, 完成平台的系

收稿日期: 2023-04-19; 修回日期: 2024-01-21

基金项目: 国家自然科学基金(61903066); 电子科技大学“挑战性学习课程”建设项目(2022CLC-167); 教育部产学研合作协同育人项目(231003084073047)。

作者简介: 马文建(1990-), 男, 硕士, 实验师, 主要从事无线通信技术、测试技术及仪器方面的研究。

\* 通信作者: 陈凯(1984-), 男, 博士, 教授, 主要从事电子测试仪器、装备综合测试、精密测控仪器方面的研究。E-mail: kaichen@uestc.edu.cn

系统集成、软硬联调和测试验证,并将设计方案、测试数据与国外同类产品进行比较,分析各自优缺点,总结“卡脖子”问题的关键技术与应对方式,全面提升学生的系统开发与测试分析能力、工程实践与科技创新能力、专业应用与思辨表达能力<sup>[5]</sup>。

## 1 实验平台的原理与构架

实验平台主要依托上海复旦微的国产 SoC FMQL20S400(称为 FMQL 片上系统)搭建而成。该系统集成了可编程逻辑(programmable logic, PL)端和 ARM Cortex A7 处理系统(processing system, PS)端,通过内部多个数据接口和互连控制信号将 PL 端和 PS 端耦合到一起,为实现 PL 端和 PS 端的数据交互提供了硬件支持<sup>[6-7]</sup>。该系统可以实现用户软件到片上 PS 系统,以及硬件资源到 PL 可编程逻辑的映射。相对于传统的 CPU 加 FPGA 两块芯片的解决方案,该系统将 CPU 和 FPGA 集成在一块芯片上,具有面积小、功耗低、性能优异等特点<sup>[8]</sup>,但其高集成度和高复杂度对设计人员的系统设计能力也提出了更高的要求。

实验平台总体架构如图 1 所示,包括前端采集、SoC 处理传输和 PC 上位机分析显示 3 个模块。

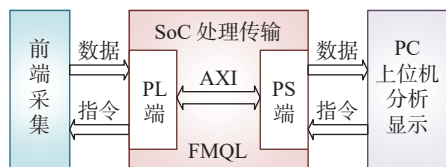


图 1 平台总体架构图

1) 前端采集模块实现多通道信号调理和采样,将模拟信号转换为数字信号送给 FMQL SoC。

2) SoC 处理传输为平台的核心部分,PL 端和 PS 端通过内部的高级可扩展接口(AXI)总线进行千兆数据交互<sup>[9]</sup>,在 PL 端搭建好硬件框架,供 PS 端的软件调用和控制,实现软硬件协同处理。

3) PC 上位机将接收采集到的数据进行实时分析显示,并向 SoC 和前端采集发送相关控制指令。

## 2 实验平台的设计与实现

### 2.1 硬件设计

实验平台的硬件整体框架如图 2 所示,主要包括前端采集模块、SoC 处理传输模块及其外围电路。

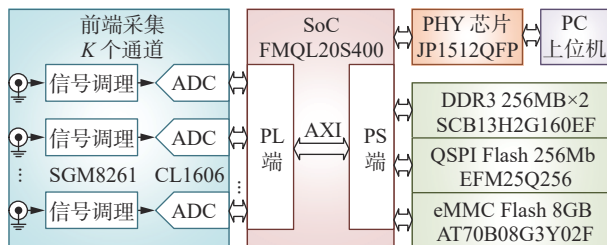


图 2 硬件整体框图

前端采集模块选用两片核芯互联 8 通道模数转换器(analog-to-digital converter, ADC) CL1606,最高采样率为 200 kS/s,可实现多通道多采样率工作模式的兼容设计。同时对于低于 8 通道的工作模式,可采用双 ADC 采样拼接技术扩充实验平台采集信号的动态范围,其实现方案如图 3 所示。输入信号在滤波抑制后,分成两路信号分别进行衰减和放大,经 ADC 采样送入 SoC,通过衰减链路高电压信号与放大链路低电压信号无缝拼接以实现更大动态范围的性能指标<sup>[10]</sup>。

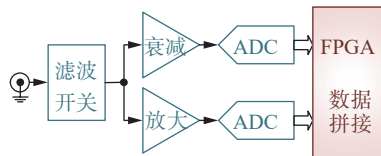


图 3 大动态双 ADC 采样拼接方案

SoC 的 PS 端挂载两片紫光同创 DDR3L 芯片 SCB13H2G160EF,用于 FMQL 程序运行和传输数据缓存<sup>[11]</sup>。FMQL 程序固化与启动支持 u-boot 标准流程,在 PS 端挂载复旦微 QSPI Flash 芯片 EFM25Q256,用于保存启动镜像文件 BOOT.bin 和 image.ub。同时为满足实验平台的 Linux 文件系统保存与运行,在 PS 端挂载珠海妙存 Flash 芯片 AT70B08G3Y02F,以 eMMC 方式固化和启动 FMQL 片上系统的程序与文件系统。

SoC 与 PC 端上位机的数据传输采用千兆以太网实现,物理层(physical layer, PHY)芯片选用亚光电子的 JP1512QFP,其支持在现有的 5 类铜线上以 1 000 Mb/s 速率完成数据传输<sup>[12]</sup>。

图 4 给出了 6 通道数据采集硬件单板实物,主板尺寸为 20 cm×11.5 cm,通过更换前面板可实现多种连接器和多类型通道数的兼容适配。

### 2.2 PL 端设计

实验平台的 PL 端由 A/D 控制模块、数据拼接模块、数据传输模块、AXI 总线模块和网络通信模块组成,设计框架如图 5 所示。A/D 控制模

块和数据传输模块采用硬件描述语言 Verilog 设计, AXI 总线模块和网络通信模块采用 Vivado 块

设计, PL 端设计的开发工具为 Xilinx 的 Vivado 平台和上海复旦微的 Procise 软件。



图 4 6 通道数据采集硬件单板实物图

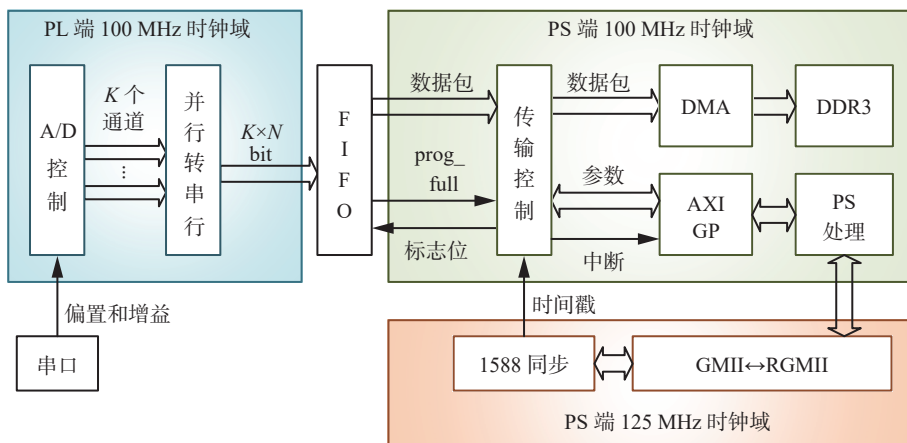


图 5 PL 端设计框架

### 2.2.1 A/D 控制模块

A/D 控制模块实现 PL 端与前端信号采集模块 A/D 的数据交互, 主要完成 A/D 芯片配置、使能信号采样和回读信号数据。

### 2.2.2 数据拼合模块

数据拼合模块完成大动态双 A/D 采样拼接, 以 6 通道双 A/D 拼接数据采集为例, PL 端接收 12 组放大衰减链路数据, 并对同一通道数据进行拼合。为保证拼合点的实时拼合效果(杂散性能), 设计了基于最小二乘法的动态校准拼合算

法, 以完成放大/衰减支路的一致化处理。设同一通道的放大和衰减支路采样数据分别为  $x_1(t)$  和  $x_2(t)$ , 在放大支路未饱和的理想情况下具有如下关系表达式:

$$x_1(t) = \alpha x_2(t) + \beta \tag{1}$$

式中:  $\alpha$  和  $\beta$  分别为两支路的增益比系数和偏置误差, 即数据拼合过程需要求取的值。

以放大支路采样数据  $x_1(t)$  与由衰减支路线性求取的近似值  $\alpha x_2(t) + \beta$  之差  $e(t)$  的平方和  $S_r$  最小作为最优计算准则, 即:

$$S_r = \sum_{k=1}^N e(t)^2 = \sum_{k=1}^N [x_1(k) - \alpha x_2(k) - \beta]^2 \quad (2)$$

式中:  $N$  为求取  $\alpha$  和  $\beta$  的采样数据点数, 可根据采样信号的信噪比动态确定。

将式(2)分别对  $\alpha$  和  $\beta$  取偏微分, 并令偏导数为 0, 求解方程组可得  $\alpha$  和  $\beta$  的值为:

$$\begin{cases} \alpha = \frac{N \sum_{k=1}^N x_1(k)x_2(k) - \sum_{k=1}^N x_1(k) \sum_{k=1}^N x_2(k)}{N \sum_{k=1}^N x_2^2(k) - \left[ \sum_{k=1}^N x_2(k) \right]^2} \\ \beta = \sum_{k=1}^N x_1(k) / N - \alpha \sum_{k=1}^N x_2(k) / N \end{cases} \quad (3)$$

在实际计算过程中, 可通过实时监测  $e(t)$  的值, 作为启动上述动态校准拼合算法的条件, 且在计算过程中需确保放大支路信号未饱和。同时, 也设计了串口通信模块实现 PC 对  $\alpha$  和  $\beta$  参数的手动设置。

### 2.2.3 数据传输模块

数据传输模块的主要功能为整合多通道数据, 控制 AXI 总线完成数据传输。考虑到实验平台前端信号采集模块通道数和采样率的多样性, 数据传输模块采用兼容性设计。在实验平台上电启动后, PS 端通过 AXI 通用目的 (AXI general purpose, AXI-GP) 接口下发通道数及采样率等信息, 对数据传输模块进行配置, 以兼容各类采集模式。同时设计先进先出 (first input first output, FIFO) 进行数据缓存, 实现采集数据的跨时钟域转换, 并设定 20 ms 为一数据包, 缓存够一包数据后使能 AXI 总线进行传输。

以 6 通道采集模式为例, 其数据传输模块的工作流程如图 6 所示。在系统上电后, 数据采集接收 AXI-GP 接口下发的通道数和采样率信息, 计算数据包大小。将接收到的 6 通道采集数据并行转串行依次排列, 缓存入 FIFO 中。FIFO 采用可编程标志满控制, 设定标志满阈值为数据包大小。当 FIFO 中存满一包数据时, 标志满  $prog\_full$  信号拉高, 使能 AXI 高性能 (AXI high-performance purpose, AXI-HP) 接口进行高速数据传输。

### 2.2.4 AXI 总线模块

AXI 总线模块采用 Vivado 块设计, 设计封装直接寄存器访问 (direct memory access, DMA) IP 核, 基于 AXI Full Master 操作完成 PL 端经 AXI-

HP 接口对 DDR3 的数据写入。考虑到 PS 端对 DDR3 数据的读取和处理时间, 采用“乒乓”传输模式, 即设计两片 DDR3 地址空间, PL 端数据包依次交替保存在两片地址中, 预留充足的 PS 端读取处理时间。同时, 封装 GP 接口 IP 核, 完成基于 AXI-lite 总线下的 PL 端与 PS 端命令通信。

DMA IP 核用于配置和使能控制 AXI4 总线传输。设计采用 INCR (递增突发传输) 模式, 即在地址总线上进行一次地址传输后, 每次数据传输地址在上一次传输地址上递增。由于 INCR 突发传输长度最大为 256, 所以采用地址递增的循环使能突发传输完成一整包数据传输, 其工作方式如图 7 所示。DMA IP 核在接收到数据传输模块使能 AXI-HP 接口信号后, 根据配置的 100 MHz PS 端时钟, 产生读使能信号, 依次读取 FIFO 中缓存数据。根据突发传输长度和地址偏移量, 将数据通过 AXI4 总线发送并存储到 DDR3 设定地址。每次数据包传输完成后, PL 端将通过 AXI-GP 接口向 PS 端发送中断信号, 使能 PS 端读取 DDR3 存储数据。

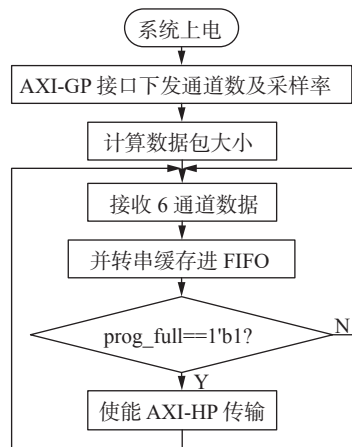


图 6 6 通道数据采集 PL 端数据传输流程

※ 突发长度 64, 宽度 4 B,  
数据包大小 = 144 kS/s × 6 通道 × 20 ms × 32 bit = 17 280 × 4 B

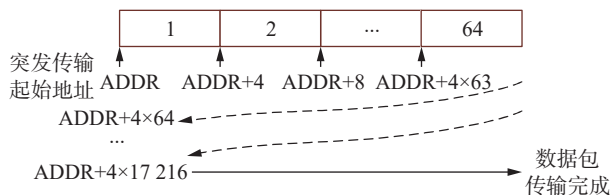


图 7 DMA 突发传输工作方式

### 2.2.5 网络通信模块

网络通信模块通过 GMII to RGMII IP 核实现数据链路层中 FMQL 片上系统与 PHY 芯片的数据转换, 并基于 IEEE 1588v2 协议设计 1588 同步模

块实现时间同步。

最终建立完成的 PL 端组块设计(block design, BD)结构如图 8 所示。在 TOP 层例化 BD 文件, 添

加 DDR 和 FIXED IO 端口, 然后生成比特流, 导出硬件文件到软件开发工具包, 在软件开发工具包 (software development kit, SDK)下进行 PS 端设计。

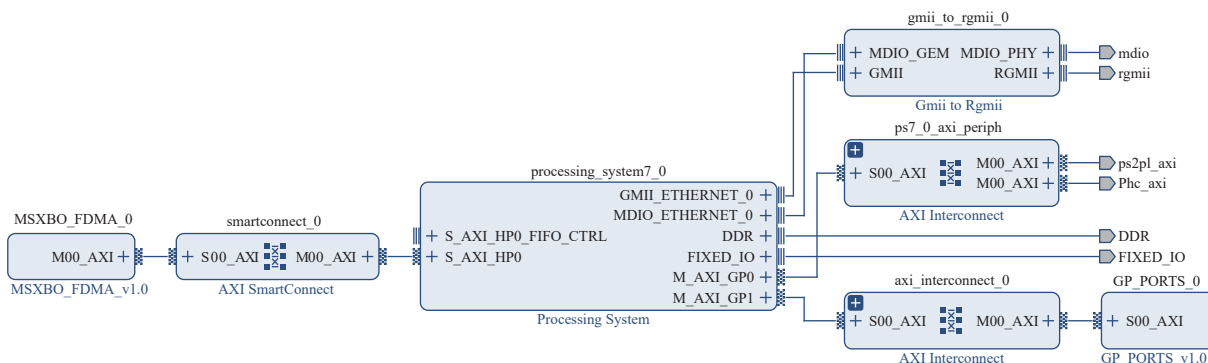


图 8 PL 端组块设计结构

### 2.3 PS 端设计

实验平台 PS 端在 FMQL 片上系统的 ARM 上搭建 Linux 操作系统进行数据处理传输。复旦微支持在 FMQL 片上系统上实现精简 Linux 操作系统, 使用复旦微官方的 SDK 完成 Linux 系统的搭建和系统设备树及内核的配置<sup>[13]</sup>。系统搭建完成后, 可以在 Linux 下进行算法的编写和移植。PS 端设计的开发工具为复旦微 SDK 环境、Procise 软件和 Linux 系统 QT 平台<sup>[14]</sup>。PS 端程序主要包括初始化、数据处理和基于局域网的仪器扩展协议(LAN-based eXtensions for instrumentation, LXI)程控 3 大模块。

#### 2.3.1 初始化模块

初始化模块主要通过 AXI-GP 接口下发通道数、采样率、增益及偏置等参数, 完成 PL 端模块的初始化配置。由于 PL 端上电后数据开始传输的时间与 PS 端上电完成参数下发的时间不同, 所以需要设计同步方案, 避免传输数据移位, 此处采用在 AXI-GP 接口设计异步复位接口完成同步。参数配置完成后, PS 端通过 AXI-GP 接口发送间隔为 1 ms 的 1-0-1 数据作为低有效异步复位信号, 用于复位 PL 端的数据传输模块, 即复位 FIFO 清除内部已储存数据, 使 FIFO 从下一次采到的通道 1 数据开始缓存, 保证传输数据的正确顺序。

#### 2.3.2 数据处理模块

数据处理模块主要完成读取 DDR3 中储存数据并打包数据帧的过程。PS 端完成初始化操作后, 循环检测 AXI-GP 接口的数据中断信号, 当检测到中断信号时, 读取 DDR3 设定地址的储存数据并分通道排列。帧打包流程如图 9 所示, 根

据以太网帧结构设计数据帧格式, 将时间戳、通道数和采样率信息放在数据帧头部, 紧接着将各通道数据打包作为一个数据帧传输。

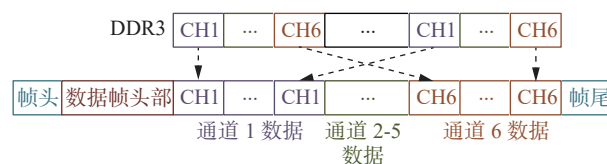


图 9 数据处理模块帧打包流程

#### 2.3.3 LXI 程控模块

LXI 程控模块用于完成 PS 端与上位机 PC 的通信。PS 端与上位机 PC 的通信采用 LXI 总线, 基于 VXI-11 协议实现。在 LXI 系统中, 每个设备连接同一局域网并基于 IP 地址进行定向通信<sup>[15]</sup>。同时采用远程过程调用 (remote procedure call, RPC) 技术实现 PS 端与上位机的通信过程, 如图 10 所示。RPC 技术主体使用客户端/服务器 (client/sever, C/S) 模式, 即上位机作为客户端发出调用请求, PS 端作为服务器实现具体需求, 由此规定使能各功能的命令, 并组成程控命令表。上位机将程控命令编码通过网络发送到 PS 端, PS 端解码出程控命令并调用相关函数实现功能, 最后将结果返回上位机, 完成通信过程。

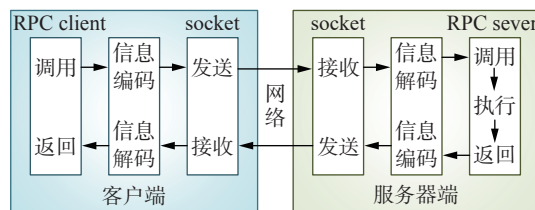


图 10 RPC 通信过程

### 2.4 系统集成

综合前面的硬件、PL 端和 PS 端设计, 得到的系统集成实现框架图和 6 通道数据采集模块实物图分别如图 11 和图 12 所示。

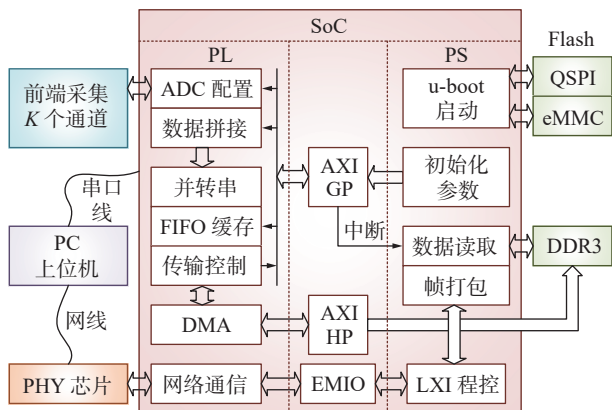


图 11 平台系统集成框图

## 3 实验平台的测试与分析

### 3.1 平台校准

实验平台在指标测试前, 需要先进行参数校准。连接校准源到采集通道输入端, 通过串口调整各采集通道的增益和偏置参数, 根据上位机显示拼合效果和幅值精度要求, 记录最优参数值,

并与动态校准拼合算法得到的拼合参数进行对比。然后在 Linux 系统 QT 平台上修改 PS 端代码, 更改增益和偏置参数。最后基于 u-boot 标准流程, 将修改后的文件固化到 eMMC Flash 中, 完成平台的参数校准。

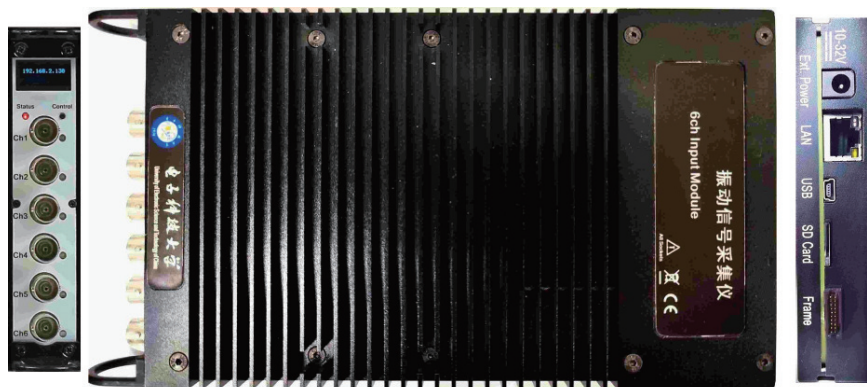
### 3.2 指标验证

#### 3.2.1 测试环境

测试环境如图 13 所示, 包括任意波形发生器、实验平台和 PC 上位机。下面以 6 通道 144 kS/s 采样率±10 V<sub>pp</sub> 满幅工作模式为例, 进行通道带宽、幅值精度、谐波失真、通道间串扰和通道底噪指标的测试。

#### 3.2.2 通道带宽

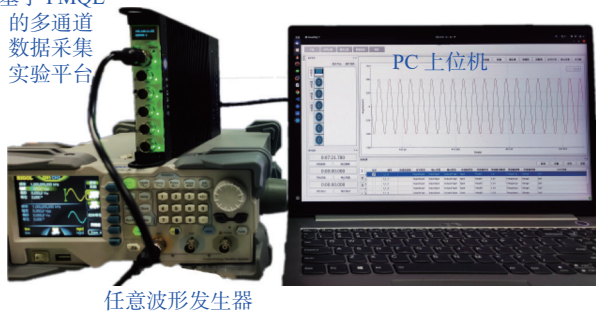
设置信号发生器, 使其产生频率 1 kHz、幅度±1 V<sub>pp</sub> 的正弦波信号接入实验平台的任意输入端口。依次增大信号频率, 读取上位机采集到的幅度值, 当上位机显示的幅度大约等于输入信号幅度的 0.707 倍(即-3 dB)时, 记录此时输入信号的频率值, 即为实验平台在该工作模式下的通道带宽。由表 1 可以看出, 此工作模式下的信号带宽大约为 15 kHz。实验过程中可依次对 6 个通道的通道带宽进行测试, 并与理论值进行对比分析。



(a) 左视图 (b) 主视图 (c) 右视图

图 12 6 通道数据采集模块实物图

基于 FMQL 的多通道数据采集实验平台



任意波形发生器

图 13 测试环境

表 1 频率-幅值测试表

频率/Hz	100	1000	2000	5000	10000	15000
幅值/dBfs	-20.0	-20.0	-20.1	-20.3	-21.3	-22.9

#### 3.2.3 幅值精度

设置信号发生器, 使其产生相应频率和幅度的正弦波信号接入实验平台的任意输入端口。输入频率为 1 kHz、幅度为±1 V<sub>pp</sub> 正弦信号的时域测试波形如图 14 所示, 上位机根据该波形得到对应的幅值精度。实验过程中, 可对实验平台

的校准参数进行优化，获得±0.02 dB 的幅值精度指标。

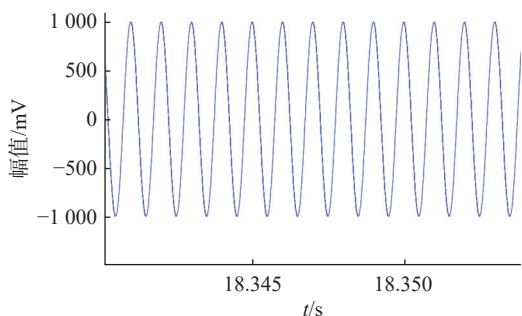


图 14 时域测试图(1 kHz, ±1 V<sub>pp</sub>)

### 3.2.4 谐波失真

设置信号发生器，使其产生频率 1 kHz、幅度±10 V<sub>pp</sub> 的正弦波信号，接入实验平台的输入端口。观察记录上位机测量所有谐波频率点的最大谐波相对于基波的幅度差值即为最大谐波失真值。图 15 测得的最大谐波失真约为-83.8 dB。实验过程中，可改变输入信号频率和幅度，分析不同频率和幅度的谐波失真特性。

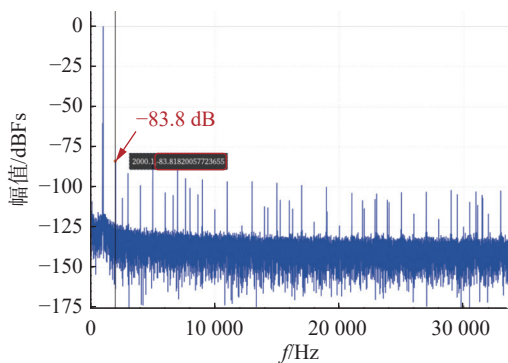


图 15 频域测试图(1 kHz, ±10 V<sub>pp</sub>)

### 3.2.5 通道间串扰

设置信号发生器，使其产生幅度±10 V<sub>pp</sub>、频率 15 kHz 的正弦信号接入实验平台的任意输入端口。上位机分别采集各端接负载通道的信号，观察记录得到通道 1 对其他通道串扰数据如表 2 所示。实验过程中，可依次测试并分析其他通道间的串扰特性。

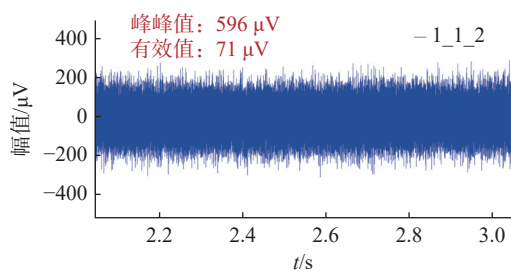
表 2 通道 1 对其他通道信号串扰表

通道	2	3	4	5	6
隔离度/dB	-77.77	-85.74	-88.66	-88.99	-88.87

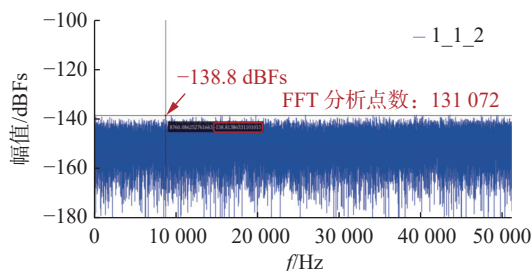
### 3.2.6 通道底噪

通过双 A/D 采样拼接和过采样技术可以扩充采集通道的动态范围，降低采集通道的底噪。由图 16

可以看出，其通道噪声有效值为 71 μV，大约对应 0.23 LSB<sub>RMS</sub>，突破了单片 CL1606 的底噪极限。



(a) 时域波形



(b) 频域底噪

图 16 输入通道端接负载下的时频域底噪测试图

### 3.2.7 对比分析

表 3 列出了本实验平台与国外同类产品的对比情况。一方面，本实验平台的通道带宽、谐波失真和通道间串扰指标稍显不足，主要受限于 A/D 芯片性能，需要进一步加大高速、高精、高线性 A/D 芯片的研发力度。另一方面，通过双 A/D 采样拼接的架构优化，降低了通道底噪指标，提升了该采集设备对大动态信号的捕获能力。

表 3 与同类产品对比结果

对比项	NI 9215	Keysight U2352A	本文
通道数	4	16	6
输入幅度范围/V	±10	±10	±10
A/D分辨率/bit	16	16	16
采样率/(kS·s <sup>-1</sup> )	100	250	144
通道带宽/kHz	42	N/A	15
幅值精度/dB	±0.02	±0.02	±0.02
谐波失真/dB	N/A	>-90	-83.8
通道间串扰/dB	-80	N/A	-77.7
通道底噪(LSB <sub>RMS</sub> )	1.20	3.28	0.23

## 4 结束语

本文设计实现了一种基于 FMQL 片上系统的多通道数据采集全国产化实验平台。使用集成 FPGA 和 ARM 的 SoC 处理器 FMQL 片上系统，引导学生了解 FPGA+ARM 体系架构，培养学生

的软硬件协同能力。通过对硬件电路和 SoC 处理器的巩固与学习、FPGA 和嵌入式代码的整合与调试、功能和性能参数的测试与分析,全面锻炼学生的系统设计和分析能力。同时以实验项目为载体,加速推进高校教学设备自主可控进程,塑造科技创新自主可控发展理念。

### 参考文献

- [1] 吴朝晖. 加快培养能够解决“卡脖子”问题的创新型人才[J]. 中国高等教育, 2021(672): 7-8.
- [2] 黄廷祝, 黄艳, 向桂君. 破解工程教育改革“大规模适用性”难题[J]. 中国大学教学, 2022(385): 46-51.
- [3] 周治国, 张沙沙, 黄礼靖等. 基于龙芯的数字信号处理实验平台设计[J]. 实验技术与管理, 2021, 38(12): 143-148.
- [4] 王伟, 孟祥贵, 安寅. “创新人才培养模式”下的实验教学探索[J]. 实验科学与技术, 2013, 11(2): 144-146.
- [5] 印月, 雷勇, 周群, 等. 问题导向式教学在电子技术实验中的研究[J]. 实验科学与技术, 2022, 20(3): 91-97.
- [6] 甄国涌, 张昊宇, 陈建军. 基于 FMQL 的国产化控制平台的设计与实现[J]. 单片机与嵌入式系统应用, 2022, 22(5): 62-66.
- [7] RAMAGOND S, YELLAMPALLI S, KANAGASABAPATHI C. A review and analysis of communication logic between PL and PS in ZYNQ AP SoC[C]//2017 International Conference on Smart Technologies For Smart Nation (SmartTechCon). Bengaluru, India: IEEE, 2017.
- [8] 张雪皎, 陈剑云. 基于 ZYNQ 的高速数据采集系统设计[J]. 华东交通大学学报, 2020, 37(6): 119-125.
- [9] 曹尚斌, 韩建宁, 马瑜涓, 等. 基于 Zynq 的 16 通道高精度数据采集系统[J]. 机械与电子, 2022, 40(7): 13-16.
- [10] 马文建, 陈世龙, 李嘉豪, 等. 一种实现超大动态范围的高精度采集系统: CN117353741A[P]. 2024-01-05.
- [11] 于蕾, 李欣泽, 潘大鹏, 等. 基于 ZYNQ 平台的双目图像采集实验案例设计与实现[J]. 实验科学与技术, 2021, 19(5): 60-64.
- [12] 江明旭. 基于 FPGA 的实时以太网通信模块设计[J]. 单片机与嵌入式系统应用, 2022, 22(10): 62-66.
- [13] 陈琳英, 凡德刚. 嵌入式微处理器环境下视频流的采集与传输[J]. 实验科学与技术, 2014, 12(5): 20-22.
- [14] 凌祥, 张树森. 基于 QT 与 Vega 技术的虚拟实验室研究[J]. 实验科学与技术, 2017, 15(2): 126-129.
- [15] 马敏, 黄莉, 赖静. 基于 LXI 同步触发盒的测试系统实验设计与开发[J]. 实验科学与技术, 2019, 17(1): 23-27.
- [16] 编辑 张俊
- 
- (上接第 6 页)
- [21] SATO K, KANEKO K, HARA T, et al. Plan-view characterization of intergranular precipitates on grain boundaries by combination of FIB lift out method and TEM analyses: A case study in austenitic stainless steel[J]. *Micron*, 2020, 138: 102927.
- [22] DUCHAMP M, XU Q, DUNIN-BORKOWSKI R E. Convenient preparation of high-quality specimens for annealing experiments in the transmission electron microscope[J]. *Microscopy and Microanalysis*, 2014, 20(6): 1638-1645.
- [23] VIJAYAN S, JINSCHKE J R, KUJAWA S, et al. Focused ion beam preparation of specimens for micro-electro-mechanical system-based transmission electron microscopy heating experiments[J]. *Microscopy and Microanalysis*, 2017, 23(4): 708-716.
- [24] ALLARD L F, BIGELOW W C, JOSE-YACAMAN M, et al. New MEMS-based system for ultra-high-resolution imaging at elevated temperatures[J]. *Microscopy and Microanalysis*, 2009, 15(3): 208-215.
- [25] GIANNUZZI L A, GEURTS R, RINGNALDA J. 2 keV Ga<sup>+</sup> FIB milling for reducing amorphous damage in silicon[J]. *Microscopy and Microanalysis*, 2005, 11(SI): 828-829.
- [26] VERMEIJ T, PLANCHER E, TASAN C C. Preventing damage and redeposition during focused ion beam milling: The “umbrella” method[J]. *Ultramicroscopy*, 2018, 186: 35-41.
- [27] GIANNUZZI L A. Reducing FIB Damage Using Low Energy Ions[J]. *Microscopy and Microanalysis*, 2006, 12(SI): 1260-1261.
- [28] 编辑 张俊