

高速 PCB 传输线信号完整性设计要点研究

陈世强,刘明,姚三坤,耿腾飞
(云南民族大学 电气信息工程学院,云南 昆明 650500)

摘要:为了解决高密度、集成化高速 PCB 中传输线因走线空间有限,走线设计不当所带来的信号完整性问题,采用理论分析、经验值设计、仿真分析的手段对 8 层高速 PCB 设计进行研究.分析高速 PCB 走线设计对传输线反射、串扰等信号完整性问题的影响.在 PCB 布线完成后,通过 SI-wave 软件仿真对 PCB 传输线线宽、线间距和阻抗值大小对信号完整性的影响进行研究,验证设计经验值 3 W 间距和 50 Ω 阻抗的可靠性.指导 PCB 信号走线设计,达到信号的完整性,期为实际工程实践应用提供参考和借鉴.

关键词:信号完整性;传输线;串扰;反射;PCB 设计

中图分类号:TN41 **文献标志码:**A **文章编号:**1672-8513(2024)03-0368-09

随着 CPU、MCU 及各种数字模拟芯片速度的提高,对印刷电路板(printed circuit board, PCB)电路设计的传输速度和信号完整性等指标提出了更高的要求. PCB 布线设计中过孔(vias)和传输线(tracks)是对信号完整性影响最大的两个基本单元,大量文献就这两个单元对 PCB 电路板信号完整性影响展开了研究.文献[1~3]分别针对高速 PCB 中差分过孔、阻焊、传输线和阻抗对信号完整性的影响进行了研究.通过分析过孔的差分性能和共模性能,研究过孔焊环与相邻层反焊环尺寸对差分过孔信号完整性的影响.通过对传输线中高速信号反射现象进行建模分析,研究阻抗、过孔、端接电压对信号反射的影响.文献[4~6]研究线长、过孔对信号完整性的影响,得到过孔中心距离、反焊盘直径、地过孔数量、传输线信号等在 PCB 信号完整性设计的影响.

本文以 8 层高速板子设计为例,分析高速 PCB 走线设计对传输线反射、串扰等信号完整性的影响,布线后的 PCB 在 SIwave 软件上进行了仿真验证.

1 传输线原理

1.1 信号传输问题

高质量的信号从芯片发射端发出,经过封装、过

孔、传输线等长互连结构之后,在信号接收端接收的信号质量很差,很难辨识出信号的高低电平.造成这种现象的原因是:信号的上升沿在发射端是快速、陡峭的,经过互连结构之后在接收端得到的是缓慢的上升沿,导致信号波形失真,传输信息错误或丢失.因此我们希望信号的传播时间、建立时间尽量短,信号的保持时间尽量长,保证信号在规定的时间内是规定的信号值.这样我们就可以在接收端得到比较满意的信号波形.

研究传输线的信号完整性问题,本质上是研究数字信号从 0 到 1 的跳变瞬间的行为,这些都和信号边沿有很大的关系.对数字信号而言,信号的边沿速率是最直观的因素之一,在工程实践里面,当信号的边沿时间小于 4~6 倍的互连传输时间,应该考虑信号完整性的行为^[7].

1.2 传输线理论

在许多电子线路中,连接各元器件的导线上各点同一时刻的电压可以认为是相同的,也就相当于导线长度基本可以忽略.但是,当信号所包含的频率分量的相应波长较导线长度小或二者可以比拟时,导线的长度是很重要的,必须作为传输线处理.通常认为电缆或导线的长度大于波长的 1/10,则作为传

收稿日期:2022-11-01

基金项目:国家自然科学基金(52061042).

作者简介:陈世强(1996-),男,硕士研究生,主要从事电气自动化研究.

通信作者:刘明(1973-),男,工学博士、研究员,主要从事机器人环境感知及组合导航、运动控制相关算法及运用.

传输线处理. 信号在传输线中以电磁波的形式先通过信号路径, 在通过回流路径或参考路径形成一个环路. PCB 中的走线与地平面就构成传输线.

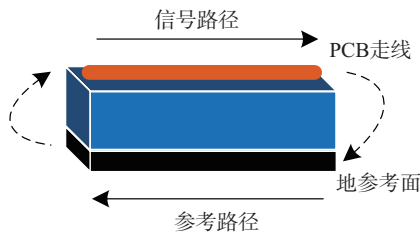


图1 传输线模型

1.2.1 PCB 传输线

PCB 中共有两种传输线, 一种是微带线 (Microstrip line): 是由支在介质基片上的单一导体带构成的微波传输线, 只有一个参考面; 一种是带状线 (Stripline): 是一条置于两个平行的地平面或电源平面之间的高频传输导线, 具有两个参考平面.

两种线的模型对比:

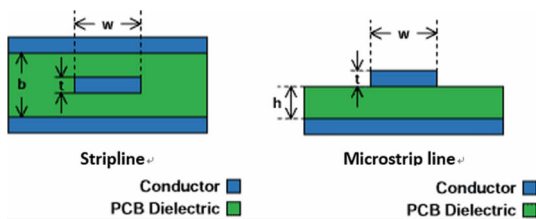


图2 微带线与带状线

其中字母意义及取值范围: w 铜箔宽 3 ~ 6 mil (1 mil = 0.025 4 mm), t 铜箔厚 0.5 ~ 1 oz (1 oz = 0.035 mm), h 板芯厚度 2.8 ~ 6.5 mil. 通常 PCB 的板芯采用 FR-4, 介电常数一般取 4.0 ~ 4.5. 信号沿 FR-4 传播时有两种有功损耗, 分别是导体损耗和介质损耗. 根据电磁理论, 导体损耗、介质损耗高频衰减大于低频衰减.

微带线、带状线特征阻抗计算公式^[8]如下:

$$Z_0 = \frac{87}{\sqrt{\epsilon_r + 1.41}} \ln \frac{5.98h}{0.8w + t}, \quad (1)$$

$$Z_0 = \frac{60}{\sqrt{\epsilon_r}} \ln \frac{4h}{0.67\pi(0.8w + t)}, \quad (2)$$

从速度上比较, 微带线信号传输速度比带状线快. 从辐射量上比较, 微带线对空间产生辐射量大, 带状线辐射量小. 因此 PCB 中高速信号传输线走线通常选择微带线, 在表层走高速信号线. 而带状线辐射小, 通常作为内层信号线走线.

1.3 传输线信号完整性分析

在高速 PCB 设计中信号完整性是评判一个 PCB 系统好坏的基本条件之一^[9]. 信号完整性 (Sig-

nal Integrity, SI) 泛指由互连通道上引起的所有信号电压和电流不正常现象^[10]. 好的信号完整性即在规定的采样时间上, 发出的信号与接收到的信号在时序、保持时间和电压幅值均是一致的, 接收端能正确读取原本信号数据, 不产生逻辑错误的问题. 反之, 在规定时间上得不到要求的信号, 系统就出现了信号完整性问题. PCB 互连模型如图所示:

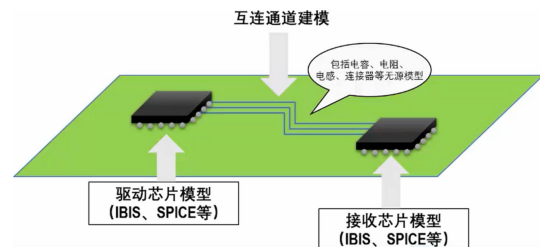


图3 PCB 互连模型

延迟、反射、串扰、同步切换噪声 (SSN) 和电磁兼容性 (EMC)^[11] 等问题是研究信号完整性的核心问题. 信号的延迟会对系统的时序产生影响, 造成同一个网络中不同传输线上的信号到达接收端的时间出现偏差. 在高速数字系统中, 延迟由引发原因的不同可分为内部延迟和外部延迟. 内部延迟是由 IC 芯片内部逻辑单元本身器件误差造成的; 外部延迟是由传输线延迟和负载条件不同引起的, 外部延迟可通过 PCB 传输线等长、选取合适的端接方式避免. 另一方面, 当 PCB 上传输线的阻抗突变或与负载端阻抗不匹配时, 信号在发送端与接收端间的传输线上来回反射, 造成原始信号改变, 幅值不稳定的振铃现象, 使得信号可稳定采样的时间减小.

由于高速 PCB 在有限的空间密集布线, 传输线与传输线之间就会存在互感耦合、互容耦合. 当一根传输线上的信号在变化时就会耦合到周围的传输线上, 对其原本信号产生干扰, 这就是信号串扰问题. 只要能保证线间有足够的间距, 串扰干扰就能抑制住.

当 PCB 上大量芯片 I/O 同时进行开关切换时产生一个过大的瞬间电流, 对电源或地平面产生噪声干扰现象称为同步开关噪声. I/O 开关速度越快, 瞬间电流变化越大, 产生的噪声就越大. 在 PCB 设计中合理的布局布线, 分配芯片信号、电源和地引脚数量比, 减小信号电源和地阻抗能减小同步切换噪声影响.

最后, 电磁兼容问题也是 PCB 系统能否正常工作的关键, 在设计中就不能简单地追求美观、布局均匀, 而应注重考虑布局布线带来的电磁兼容问题^[12].

本文采用 SI 仿真方法对 PCB 传输线阻抗、串扰进行扫描分析. 研究 PCB 传输线走线设计要点并运

用于实际工程实践.

1.4 PCB 工程参数

PCB 工程采用 8 层叠层设计^[13],使用 FR-4 作为板芯材料. 50 Ω 走线 4.921 mil, 100 Ω 差分走线 3.976/8.268 mil, 90 Ω 差分走线 5.118/8.268 mil. 具体叠层设计如表所示:

表 1 层叠结构

名称	类型	铜厚/oz	介质厚度 (INCHES)
L01	PRIMARY SIDE	1	0.003 7
L02	GROUNG PLANE1	1	0.005 0
L03	INNER SIGNAL1	1	0.012 0
L04	GROUNG PLANE2	1	0.006 0
L05	POWER PLANE	1	0.012 0
L06	INNER SIGNAL2	1	0.005 0
L07	GROUNG PLANE3	1	0.003 7
L08	SECONDARY SIDE	1	

2 传输线反射和阻抗匹配

2.1 传输线反射原理

反射就是信号在传输线上向前传播的过程中,遇到阻碍而部分信号改变传播方向返回的现象. 此时源端发出信号在中途有部分信号沿传输线返回了源端,未完全的沿传输线传输到接收端^[14]. 如果信号传输路径上的阻抗是一致的,那么信号就会正常的向前传播,不发生信号反射. 高速信号在沿传输线向前传输的过程中,由于电流的趋肤效应,电流沿传输线表面流动,传输线表面粗糙度又不均一,所以导致传输线阻抗不一致. 另外,传输线只要线宽变化或经过过孔、焊盘等基元时阻抗就会变化,信号就会发生反射现象影响信号的传播,进而引发信号完整性问题.

信号的反射现象会造成信号过冲、下冲、振铃及边沿迟缓. 如图 4 所示:

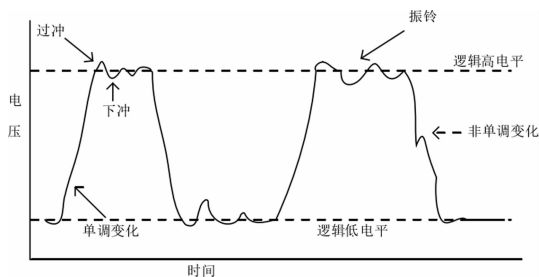


图 4 信号波形

过冲是振铃的欠阻尼状态,边沿迟缓是振铃的过阻尼状态. 对电路来说信号的过冲与下冲都是不利的因素,过大的过冲电压冲击将会减小器件寿命,

甚至直接击穿烧坏;过大的下冲电压冲击同样在挑战器件的耐受门限,器件易出现逻辑错误. 如果信号在驱动器和接收器之间来回多次反射,就会产生振铃现象,信号难以稳定维持在一个固定值,一个周期内可采样的时间段较少,对于电路系统来说这样的信号就是质量很差的信号. 振铃现象必须减小或消除,因此对于长的传输线必须进行阻抗匹配端接.

高速 PCB 中按照传输线理论,如果传输线阻抗一致,反射就不会发生了. 发生阻抗突变时阻抗可能由大变小,也可能由小变大,所以反射电压可能为正,也可能为负. 反射的效果就可能是增强信号,也可能是减弱信号. 信号在传输线上来回反射就造成振铃现象,严重时将导致系统无法工作. 通常不合理的端接方式、跨分割区域、线宽突变、经过过孔等因素都会造成信号反射. 合理的布线规划、走线细节对于信号反射有较好的控制效果.

2.2 阻抗匹配

信号在传输线上传输的过程中,产生信号反射现象,进而引发了一系列的信号问题,其罪魁祸首就是阻抗变化,阻抗不连续所造成的,在 PCB 设计中要考虑信号完整性,就必须首要考虑传输线的阻抗匹配问题.

影响传输线阻抗的因素有:介质厚度、线宽、线距、介电常数、铜厚、阻焊厚度、残铜率(指板上铜的面积与整板面积之比)等.

2.2.1 单端走线阻抗匹配分析

首先采用信号发生器 + 示波器搭建如图阻抗匹配实验.

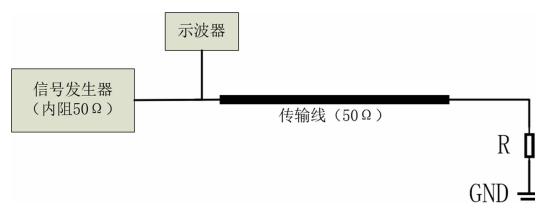


图 5 阻抗匹配实验框图

由信号发生器产生脉冲宽度为 50 ns 的一个脉冲信号,经过电缆线及终端匹配电阻构成的传输线模型,通过示波器分别查看终端电阻为 50 Ω 、500 Ω 、5 k Ω 、50 k Ω 时的反射信号波形进行对比.

如图所示:

图 6 一组结果中,第一个信号波形为原始信号,第二个反射信号波形. 由实验结果可以得出以下结论:信号经过传输线模型时,如果终端电阻不匹配,将造成信号反射;终端电阻不匹配程度越大,信号反射也越明显. 从 50 k Ω ~ 50 Ω 阻抗减小,反射信号幅值也在减小, $R = 50 \Omega$ 时信号完整性最佳.

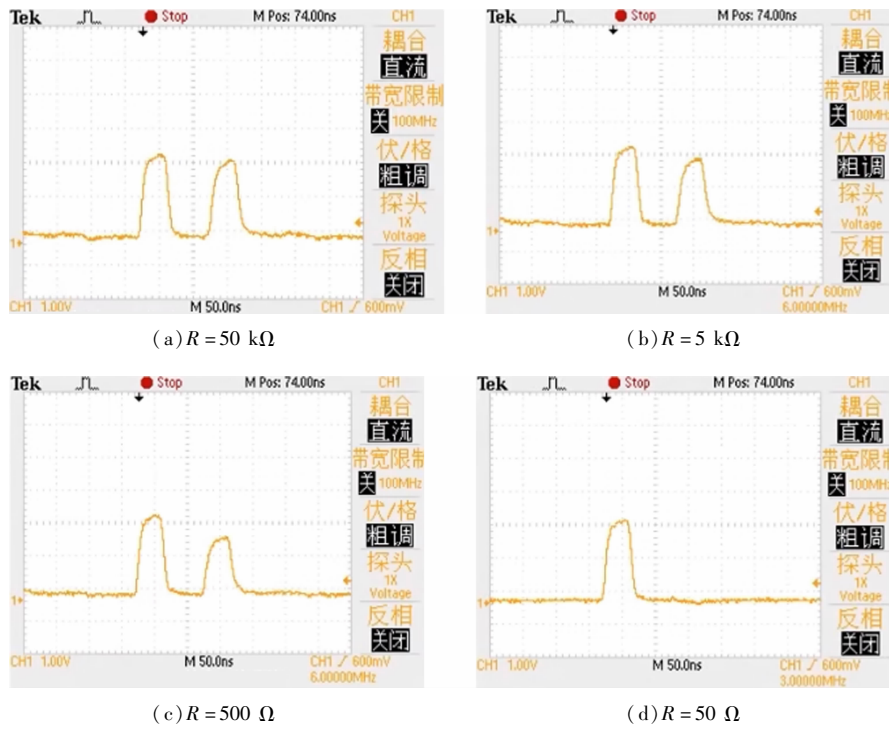


图 6 反射信号波形

2.2.2 差分线阻抗匹配分析

差分线本质就是两根耦合在一起, 具有一定抗干扰能力的单端传输线. 因此也需要对差分线进行阻抗匹配分析.

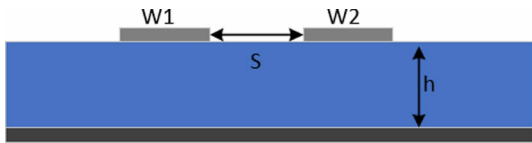


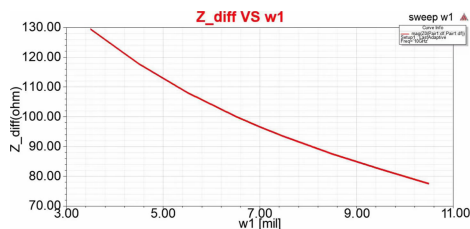
图 7 差分线模型

差分微带线阻抗、特征阻抗:

$$Z_{diff} = 2 \times Z_0 \left[1 - 0.48e^{(-0.96\frac{s}{h})} \right] \quad (3)$$

$$Z = \sqrt{\frac{L}{C}} \quad (4)$$

从公式(3)可以看出影响差分对阻抗的因素主要有介质厚度 h , 线间距 s 以及线宽 w_1, w_2 . 通过实验来分析以上因素对信号完整性的影响. 在 polar



(a) 线宽变化对阻抗的影响

si9000 中通过控制变量法进行逐一因素分析. 在软件中设置 $S = 8 \text{ mil}, w_1 = w_2 = 7 \text{ mil}, h = 4 \text{ mil}$, 差分对阻抗计算为 96.62Ω .

A. 介质厚度 h 变化, 其余参数不变. h 由 2 mil 增至 6 mil , 观察差分对阻抗变化.

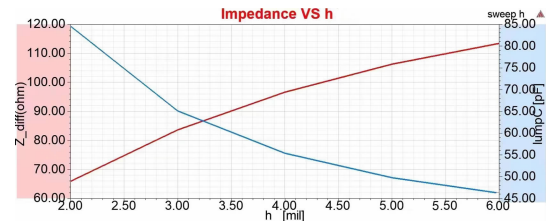
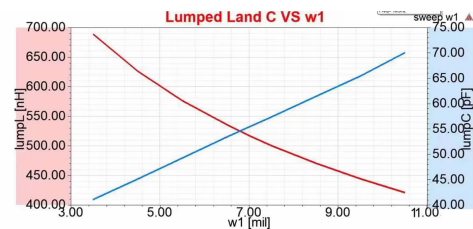


图 8 介质变化对阻抗的影响

图中蓝色线表示差分线单位长度电容值 C , 红色线代表差分线阻抗. 由图可知: 差分线介质厚度 h 与电容值 C 成反比, 与差分阻抗值成正比.

B. 线宽 w 变化, 其余参数不变. $w_1 = w_2$ 由 3.5 mil 增至 10 mil , 观察差分对阻抗变化.

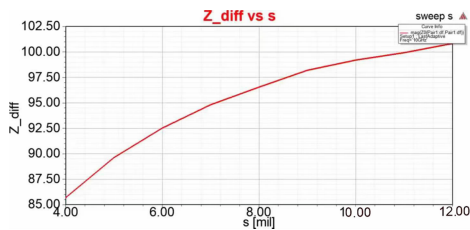


(b) 线宽与电容、电感关系

图 9

图中红色线代表差分线阻抗,由图可知:差分线线宽 w 与差分线阻抗值成反比。

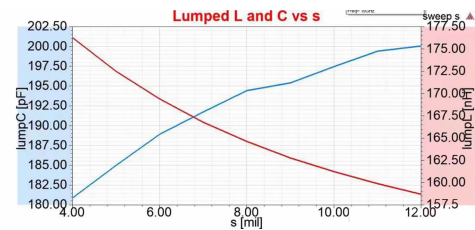
图中蓝色线表示差分线单位长度电容值 C ,红色线代表差分线单位长度电感值 L 。由图可知:差分



(a) 线间距变化对阻抗的影响

线线宽 w 与电感值 L 成反比,与差分线电容值 C 成正比。

C. 线间距 s 变化,其余参数不变。线间距由 4 mil 增至 12 mil,观察差分对阻抗变化。



(b) 线间距与电容、电感关系

图 10

图中红色线代表差分线阻抗,由图可知:差分线线间距 s 与差分线阻抗值成正比。

图中蓝色线表示差分线单位长度电容值 C ,红色线代表差分线单位长度电感值 L 。由图可知:差分线线间距与电感值 L 成反比,与差分线电容值 C 成正比。

由以上分析可知:差分线的阻抗与介质厚度、线宽及线间距有关。其中介质厚度、线距越大,阻抗值越大;线宽越大,阻抗值越小。

在进行布线走线前要保证阻抗匹配,必须根据匹配阻抗进行相关参数计算,在走线中严格按参数进行,才能设计出阻抗匹配的差分线,最终达到信号完整性目的。

在 PCB 布线中首层信号走线根据公式(1)单端走线阻抗控制 50Ω 。线宽设为 4.921 mil,铜箔厚设为 0.5 oz,PCB 板材选用 FR-4 介质常数取 4.3,首层板芯厚 0.085 mm。在第一层走线单端线控制 50Ω ,差分线控制 100Ω 。差分线线宽设为 3.976 mil,板芯厚 0.085 mm,铜箔厚 0.0175 mm。尽量保证线路中同种信号线在同一个 ROOM 中的阻抗连续保持一致。

2.3 仿真分析

在仿真软件中,PCB 根据理论值布线后,针对主控芯片与 DDR 之间 50Ω 信号线 DDR_A0 ~ DDR_A15、DDR_D0 ~ DDR_D15 和两个网线接口间 100Ω 差分线对 PHY1_RD_N ~ PHY1_RD_P、PHY1_RJ_RD_N ~ PHY1_RJ_RD_P、PHY1_TD_N ~ PHY1_TD_P、PHY1_RJ_TD_N ~ PHY1_RJ_TD_P、PHY2_RD_N ~ PHY2_RD_P、PHY2_RJ_RD_N ~ PHY2_RJ_RD_P、PHY2_TD_N ~ PHY2_TD_P、PHY2_RJ_TD_N ~ PHY2_RJ_TD_P 共 8 对差分线进行阻抗扫描。扫描结果如图所示:

从图中可以看出单端信号线阻抗都在 $48.0 \text{ ohm} \sim 50.0 \text{ ohm}$ 青色区域内,差分对阻抗都在 $90 \text{ ohm} \sim 100 \text{ ohm}$ 绿色区域内,颜色整体一致即表明阻抗一致。

红色和蓝色部分阻抗变化是由于经过焊盘和过孔引起的阻抗突变,暂时不考虑。PCB 传输线上的阻抗设计符合设计要求,阻抗保持了连续性。

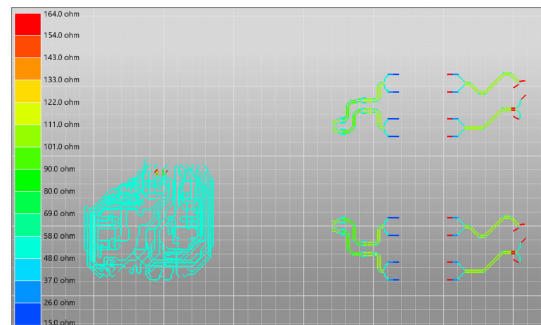


图 11 阻抗扫描结果

3 传输线串扰分析

3.1 传输线串扰原理

在高速 PCB 系统中,板上空间有限,布线较为密集。当信号在其中一组传输线上传输时,其中的一条传输线上的信号就会受到它周围传输线的容性或感性耦合干扰,导致信号完整性降低。PCB 传输线干扰其实就是指串扰(Crosstalk)。互感串扰引发耦合电流,互容串扰引发耦合电压。

$$i = C \frac{dv}{dt}, \quad (5)$$

$$v = L \frac{di}{dt}, \quad (6)$$

传输线间的互容、互感是传输线的固有属性,是必然存在的。只能通过在 PCB 布线走线的过程,进行一定的合理设计,使其影响降到最低。

随着信号频率的升高,串扰干扰也越发明显。当信号的边沿速率低于 1 ns 时,串扰的问题就必须要去考虑。

3.2 影响串扰的因素

(1) 线间距:线间距越大,线间串扰越小。在 PCB

设计中为了减少线间串扰, 应保证线间距足够大, 但 PCB 上空间有限, 线间距不能无限制的增大^[15]. 线间距通常以几倍线宽来设计, 当两根传输线中心间距 ≥ 3 倍线宽时, 则可认为线间串扰能容忍. 这就是行业默认的 3W 原则. 满足 3W 原则能使信号间的串扰减少 70%, 而满足 10W 则能使信号间的串扰减少近 98%^[16].

(2) 并行耦合程度: 降低两条线的平行程度, 两条线平行长度长, 耦合累积时间久, 累积幅度大, 串扰增加很快且明显, 所以尽量不要走很长的平行线. 在表层, 远端串扰增加很快, 噪声幅度很大, 不能走很长的平行线. 在内层走线, 也要避免和上下层信号线大范围的平行并行.

3.3 仿真分析

通过软件仿真分析 PCB 传输线按 3 倍线间距走线, 线间串扰随频率的变化关系, 来研究 3 倍线间距的可靠性.

MCU 与 DDR 之间传输线按照线宽 4.921 mil、线间距 15.708 mil 的 3W 原则来设计走线. 实际设计如图所示:

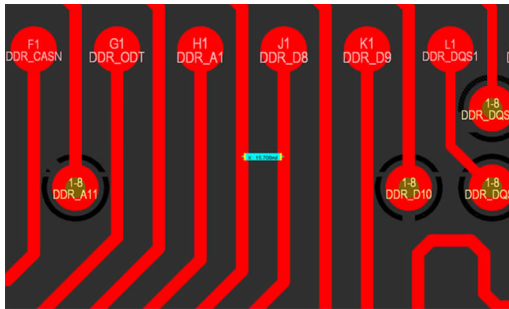


图 12 3W 间距走线

主要分析高速关键信号线间的串扰问题, 通过仿真软件对主控芯片与 DDR 之间的信号线 DDR_A0 ~ A115、DDR_D0 ~ D15 和两个网线接口中 8 对差分线对间的串扰, 在频域上进行扫描分析, 设置警报阈值为 0.1, 违规阈值为 0.2. 扫描结果如图所示:

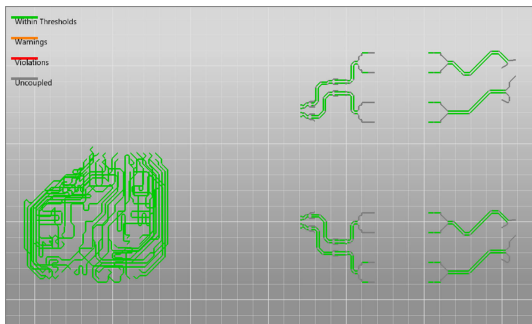


图 13 频域串扰扫描结果

从图中可以看出, 主控芯片与 DDR 之间的信号线均显示绿色, 没有出现橙色警报和红色违规设计

提示. 耦合程度均小于 10%, 差分对等线间串扰均符合设计要求. 信号线间距在空间允许的情况下, 按 3 倍间距的要求设计, 能够较好的避免线间的串扰.

4 PCB 传输线等长

在 PCB 设计中, 板子尺寸是非常有限的. 每一寸空间都要合理利用. 高速电路的电路板尺寸较小, 需要相应地进行规划, 以确保留有合适的走线空间. 某些高速布线可能需要特定的走线宽度来设置指定的欧姆值以及额外的间距来尽量减少串扰. 我们就希望所有走线尽可能的按照 3W 以上间距来走. 另一方面, 由于大数据和内存总线需要同时到达, 保证数据完整性, 就要求传输线长度相等, 这通常意味着其中一些线路必须有一定的空间去绕线加长. 在这种情况下, 我们需要分配出足够的空间来等长走线, 线间距的空间和绕等长线的空间就成为一对矛盾体, 这就要求在有限的空间中去合理平衡线间距和绕等长线. 合理的设置差分线对、蛇形线就可以解决空间上的线间距与等长绕线平衡问题.

4.1 差分线

差分传输是一种采用两根线耦合, 达到抗干扰效果来传输信号的传输技术. 差分传输不同于常用单端传输线的做法, 单端传输线通常是传输线与地平面构成传输路径和回流路径. 而差分传输在这两根线同时传输一对相位相反、幅值相同的信号, 二者形成差分对, 即差分线^[17]. 在这两根线上传输的信号就是差分信号, 在接收端只要作差就能较好的还原信号. 因为两条导线上的信号相互耦合, 干扰相互抵消, 所以对共模信号的抑制作用加强了^[18]. 在高速信号走线中, 一般采用差分对布线的方式. 在进行差分对布线时, 首先需要定义差分对, 通常以后缀“+”、“-”或“_P”、“_N”为一对差分对表示. 然后设置差分对布线规则, 最后完成差分对的布线.

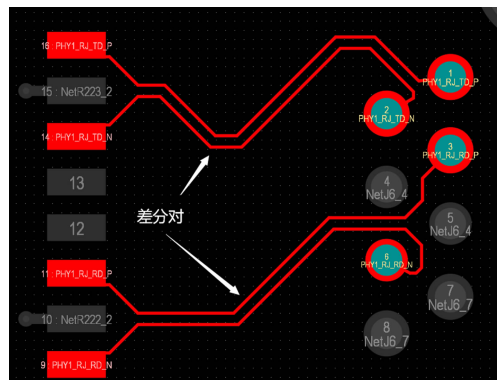


图 14 差分线对

图中差分对线宽 5.1 mil,线间距 8.268 mil.

4.1.1 差分对等长

差分对等长和等距是差分布线中最基本的要求,在实际的工程中这两个要求是互相矛盾的,为了调整线长,通常要对其中一条线进行绕线处理,在空间有限的条件下,绕线区域就会发生线距的变化.差分对走线不同于单端线,两条线需要互相耦合,即间距不能无限的增大.必须保证一对差分线之间的线距不超过两倍线宽.

正常情况下,在设计时应当优先保证等长的要求.差分对间等长误差不差过 ± 5 mil,线间距按照 $\geq 2W$ 间距走线.100 Ω 差分对等长信息如图所示,每对差分对信号长度、链路长度差距度控制在 5 mil 以内.

4.2 蛇形线

蛇形线是一种形似蛇一般弯曲的 PCB 走线,是 PCB 走线过程中为了调节信号线延时与系统时序一致,进而特意对信号线绕蛇形线走等长线.在 PCB 蛇形线设计中有不绕等长、小波浪等长和大波浪等长.

PCB 中信号线蛇形走线等长来保证信号传输延时一致,不同的蛇形线等长方式,信号到达时间会不一致.在 ANSYS 软件中,搭建仿真电路进行瞬态仿真来对

比以上三种蛇形线等长方式对信号延时的影响.首先设置仿真基本参数:仿真时间 10 nsec、最大步长 0.001 nsec,仿真精度模式选为 moderate.信号发生器设置:Vhigh = 1 V,Delay = 0 nsec,Edge = linear,Rise = 0.1nsec,Fall = 0.1 nsec,Width = 3 nsec,Period = 10 nsec.设置完毕即可开始仿真.电路如图:

名称	节点数	Signal Length (mil)	Total Pin/Package Length (mil)	Routed Length (mil)
DDR_CK	2	944.632	0	944.63
DDR_CKN	2	943.543	0	944.201
DDR_DQS0	2	915.034	0	915.736
DDR_DQS1	2	913.921	0	913.909
DDR_DQS0M0	2	915.798	0	915.792
DDR_DQS0M1	2	915.331	0	915.305
PH1_RD_N	6	n/a	0	691.413
PH1_RD_P	6	n/a	0	686.557
PH1_RJ_RD_N	2	513.799	0	516.659
PH1_RJ_RD_P	2	513.878	0	516.738
PH1_RJ_TD_N	2	513.703	0	516.563
PH1_RJ_TD_P	2	513.76	0	516.498
PH1_TD_N	6	n/a	0	689.556
PH1_TD_P	6	n/a	0	689.64
PH2_RD_N	6	n/a	0	676.962
PH2_RD_P	6	n/a	0	671.698
PH2_RJ_RD_N	2	513.799	0	516.659
PH2_RJ_RD_P	2	513.878	0	516.738
PH2_RJ_TD_N	2	513.703	0	516.563
PH2_RJ_TD_P	2	513.76	0	516.498
PH2_TD_N	6	n/a	0	671.916
PH2_TD_P	6	n/a	0	675.192

图 15 差分对等长

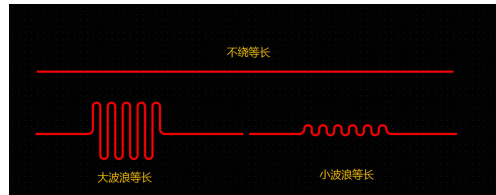


图 16 蛇形线等长形式

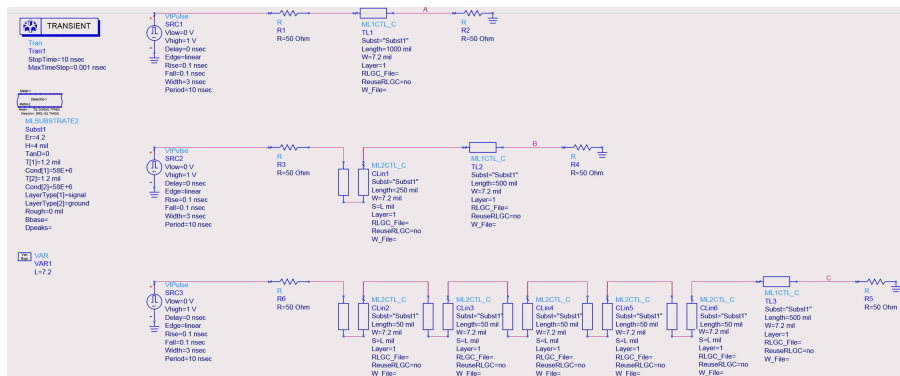


图 17 蛇形线等长方式仿真电路

仿真结果如图:

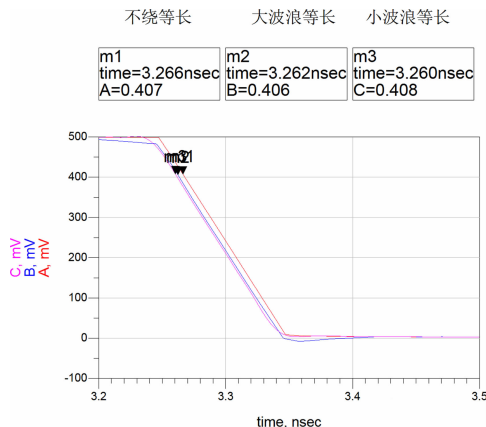


图 18 等长方式对信号延时影响

图中m1 紫色代表不绕等长,m2 蓝色代表大波浪等长,m3 红色代表小波浪等长.由仿真结果可知:等长延时时间 $m1 > m2 > m3$,小波浪等长方式时间延时时间最短.接收信号波形上紫色波形质量最好、最平滑.因此在蛇形线等长设计中,建议使用小波浪等长方式.

本文设计的 PCB 即采用小波浪等长方式,如图所示:

图中走线为 INNER SIGNAL1 层,PHY2_RGMII_RX 组的时钟、数据线.PCB 系统中二者是最需要注重时序延迟问题的传输线,时钟线作为传输信号的参考,如果时钟本身延时有差距,那么信号传输一

定会出问题.由于时钟线上逻辑单元较少,其延时比同组的其他信号线要小,就需要对其进行蛇形等长,保证时序对齐、时序匹配.另外,蛇形线本身不像差分线那样有较强的抗干扰能力,所以信号完整性较差,在设计中要尽量少使用.

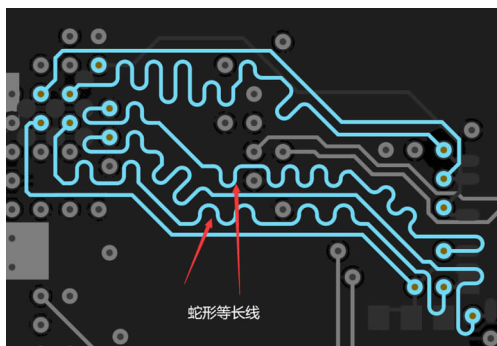


图 19 PHY2_RGMII_RX 组蛇形线

信号线等长数据如图所示, RXCLK、RXD3、RXD0 长度差距均控制在允许范围内.

* 名称	节点数	Signal Length (mil)
PHY2_RXDV	2	644.649
PHY2_RXER	2	680.944
PHY2_RXCLK	2	826.511
PHY2_RXD3	2	826.519
PHY2_RXD0	2	826.772

图 20 PHY2_RGMII_RX 组等长

高速 PCB 设计等长线是为了使不同传输线上的同一组信号到达接收端的延迟一致,保证系统的时序匹配.虽然蛇形线不能保证信号完整性,但采用蛇形线设计能保证时钟线的延迟一致,还是有使用的必要性.在设计蛇形线时尽量用于时钟线的时序匹配,并保证蛇形线间距 $\geq 2W$,这样蛇形线产生的分布电容和分部电感效应对相邻传输线的影响才能降到最低;带状线上通常 6 mil 线长对应 1 ps 延时,芯片信号裕量 ≥ 4 ps,所以线长等长差距控制在 25 mil 之内都能满足系统信号完整性的要求.

5 结语

PCB 布线设计是电路设计理论到实物的重要一环.在 PCB 布线完成后进行 SI 分析十分必要,能使设计周期大大缩短,良品率提高,设计制造成本降低.

通过 SIwave 进行 PCB 整板参数扫描,能快速的查看 PCB 传输线的重要参数信息,分析影响传输线信号完整性的相关因素.针对使用经验值设计的 DDR 数据线、通信网口差分对等重要的传输线,进行参数扫描,得到传输线的阻抗参数、线间串扰参

数,验证了设计经验值对信号完整性的可靠性.对 PCB 传输线串扰、反射干扰、阻抗匹配进行分析研究,总结了 PCB 设计中的注意点并指导设计 PCB.

在高速 PCB 上空间与信号完整性总是相互制约的,处理平衡好二者的关系才能设计出高质量的 PCB.

参考文献:

- [1] 严冬,张盈利,陈杨杨,等.高速 PCB 中差分过孔分析与优化[J].电子测量与仪器学报,2020,34(1):90-96.
- [2] 纪成光,秦典成,陈正清,等.差分过孔焊环及反焊环对高速信号完整性影响的实验研究[J].电子器件,2020,43(2):456-461.
- [3] 陈章进,王文磊,季渊,等.传输线中高速信号反射建模分析与优化[J].上海大学学报(自然科学版),2021,27(3):503-513.
- [4] 杨柳,潘英茂,马学条.高速 PCB 信号完整性分析与设计的实验项目开发[J].实验室研究与探索,2022,41(6):79-85.
- [5] 雷璐娟,雷川,李金鸿,等.高速 PCB 插损影响因子研究[J].印制电路信息,2022,30(S1):28-34.
- [6] AVITABILE G, FLORIO A, GALLO V L, et al. An optimization framework for the design of high-speed PCB VIAs[J]. Electronics, 2022, 11(3):475.
- [7] 袁帅.高速 PCB 中传输线与过孔的信号完整性分析与优化设计[D].成都:电子科技大学,2021.
- [8] 邓素辉,谭子诚,鄢秋荣,等.基于 Cadence 软件高速 PCB 设计的信号完整性仿真[J].实验室研究与探索,2017,36(12):116-120.
- [9] 苟辉,汪忠林,李坚.基于高速 PCB 的信号完整性分析[J].电脑编程技巧与维护,2022(4):107-109.
- [10] 赵辰阳,王立德,李召召.高速数字 PCB 板设计中的信号完整性研究[J].自动化与仪器仪表,2018(9):1-4.
- [11] 章哲豪,杨恒占.基于多核 CPU 阵列电路的协同仿真与信号完整性设计[J].电子世界,2020(18):128-129.
- [12] 杨亭,田世锋.高速电路 PCB 设计中增强电磁兼容性的方法[J].电工技术,2020(20):150-151.
- [13] 王莎莎,朱志强,刘骁.高速电路叠层设计与仿真[J].电脑编程技巧与维护,2022(9):7-9.
- [14] 袁为群,宋建远,陈世荣.基于信号完整性的高速 PCB 优化设计与研究[J].广东工业大学学报,2019,36(6):74-79.
- [15] 李秋媛,王善进,陈彬,等.基于高频高速 PCB 应用的新型差分线结构[J].电子器件,2020,43(5):985-990.
- [16] 成锡军,冯慧玲,周蕾.PCB 设计方法与技巧[J].电子

- 质量,2021(10):139-141+150.
 [17] 张光伟. 基于 RS485 通信的 6A 系统监控信息丢失故障分析及改进[J]. 电力机车与城轨车辆,2021,44(6):110-112.
 [18] 石小磊,阎东,周达. TCN 网关高速 PCB 设计研究[J]. 铁道机车与动车,2020(2):10-13.

Research on signal integrity design of high-speed PCB transmission line

CHEN Shi-qiang, LIU Ming, YAO San-kun, GENG Teng-fei

(College of Electrical And Information Engineering, Yunnan Minzu University, Yunnan Kunming 650500, China)

Abstract: In order to solve the signal integrity problem caused by the limited routing space and improper routing design of transmission lines in high density and integrated high speed PCB, the design of 8-layer high speed PCB was studied by means of theoretical analysis, empirical design and simulation analysis. The influence of high-speed PCB routing design on signal integrity such as transmission line reflection and crosstalk is analyzed. After the completion of PCB wiring, the influence of PCB transmission line width, line spacing and impedance value on signal integrity was studied by SIwave software simulation, and the reliability of the design experience value of 3 W spacing and 50 Ω impedance was verified. Guide PCB signal routing design to achieve signal integrity, so as to provide reference for practical engineering application.

Key words: signal integrity; transmission line; crosstalk; reflection; PCB design

(责任编辑 梁志茂)

(上接第 334 页)

Research progress in refractory wounds of diabetes foot ulcers

GUO Rui¹, PENG Hui-zhen^{1,2}, PU Shi-biao¹, ZHAO Yun-li²

(1. College of Chinese Material Medicine, Yunnan University of Chinese Medicine, Kunming 650500, China; 2. Key Laboratory of Medicinal Chemistry for Natural Resource, Ministry of Education and Yunnan Province; Yunnan Characteristic Plant Extraction Laboratory; Yunnan Provincial Center for Research & Development of Natural Products; School of Pharmacy; Yunnan University, Kunming 650500, China)

Abstract: Lower limb complications of patients with diabetes have become an increasingly important public health problem in the world. As one of the most serious complications, diabetic foot ulcerations have significant morbidity, amputation and mortality rates and are costly to treat. At present, due to the influence of the high sugar environment, the disease is relatively complex, the pathogenesis has not been fully explored, and the lack of precise treatment strategies cannot completely overcome this chronic disease. The etiology mechanism and complications of diabetes foot ulcer needs to be determined and evaluated to provide correct treatment, which is a key to reduce the risk of lower limb amputation. The high threat factors, pathogenesis and current treatment strategies of diabetes foot ulcer were reviewed in this article.

Key words: diabetes foot ulcer; high threat factors; pathogenesis; treatments

(责任编辑 王煜丹)